

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199210

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

G02F 1/1345

G01R 31/00

H01L 29/786

(21)Application number : 06-000148

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 05.01.1994

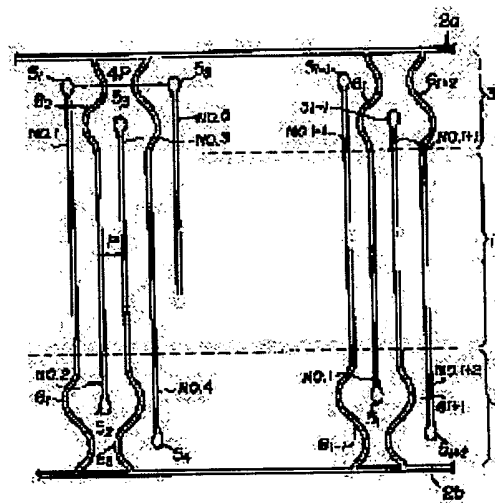
(72)Inventor : MATSUMOTO SHINZO
TSUMURA MAKOTO
HIROHATA SHIGEKI
MATSUNAGA KUNYUKI
ISHIGE NOBUYUKI

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To provide a liquid crystal display element of high fineness with which inspection pads necessary for characteristic inspection using probers are sufficiently assured.

CONSTITUTION: This liquid crystal display element is constituted by encapsulating liquid crystals between a driving electrode substrate provided with switching elements in correspondence to each of many pixel electrodes arranged in a matrix form on a transparent substrate and a common electrode substrate formed with a common electrode on a transparent substrate. The inspection pads 5i formed at the ends of terminal drawing out line of at least one No. 61 of the many scanning lines and many signal lines formed on the driving electrode substrate are disposed at the same wiring drawing out parts 3 on each of the even side and odd side of the drawing out wires. The inspection pads 5i in the respective wiring drawing out line parts 3 are formed zigzag along the arranging direction of these inspection pads.



LEGAL STATUS

[Date of request for examination]

20.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3272848

[Date of registration]

25.01.2002

[Number of appeal against examiner's decision of rejection]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display element which comes to enclose liquid crystal between the drive electrode substrate which formed the switching element on the transparent substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix, and the common electrode substrate which formed the common electrode in the transparent substrate While preparing the inspection pad formed in the edge of one [at least] terminal leader of the scanning line of a large number formed in the aforementioned drive electrode substrate, and many signal lines in the same wiring cash-drawer section for every each by the side of the even number of the above-mentioned leader, and odd number The liquid crystal display element to which the above-mentioned inspection pad in each wiring cash-drawer section is alternately formed along the array direction of the inspection pad concerned, respectively, and is characterized by the bird clapper.

[Claim 2] In the liquid crystal display element which comes to enclose liquid crystal between the drive electrode substrate which formed the switching element on the transparent substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix, and the common electrode substrate which formed the common electrode in the transparent substrate The inspection pad formed in the edge of one [at least] terminal cash-drawer wiring of the scanning line of a large number formed in the aforementioned drive electrode substrate, and many signal lines While preparing in the same wiring cash-drawer section for every each by the side of the even number of the above-mentioned terminal leader, and odd number and forming alternately the above-mentioned inspection pad in each wiring cash-drawer section along the array direction of the inspection pad concerned, respectively The liquid crystal display element which arranges the numbering position of wiring linked to the above-mentioned inspection pad on the extension wire of the aforementioned inspection pad, and is characterized by the bird clapper.

[Claim 3] In the liquid crystal display element which comes to enclose liquid crystal between the drive electrode substrate which formed the switching element on the transparent substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix, and the common electrode substrate which formed the common electrode in the transparent substrate The inspection pad formed in the edge of one [at least] terminal cash-drawer wiring of the scanning line of a large number formed in the aforementioned drive electrode substrate, and many signal lines It prepares in the same wiring cash-drawer section for every each by the side of the even number of the above-mentioned leader, and odd number. While coming to arrange the numbering position of the wiring which the above-mentioned inspection pad in each wiring cash-drawer section is alternately formed along the array direction of the inspection pad concerned, respectively, and connects to the above-mentioned inspection pad on the extension wire of the aforementioned inspection pad The liquid crystal display element characterized by setting the part in which the probe for making the aforementioned inspection pad contact and conducting various characteristic inspections begins to be parallel to, and the edge sensor of a ** sake is contacted as the aforementioned transparent substrate portion in which the aforementioned numbering does not exist.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the liquid crystal display element of the active matrix which starts a liquid crystal display element, especially comes to arrange non-line type elements, such as TFT, in the shape of a matrix.

[0002]

[Description of the Prior Art] Simple matrix types (so-called TN or the so-called STN type etc.) and active-matrix types (the so-called TFT type etc.) are widely known as a liquid crystal display element now.

[0003] this kind of liquid crystal display element -- the liquid crystal display element of the active matrix represented by the TFT type from the point of resolution, a luminosity, and other image display properties is becoming in use inside

[0004] The liquid crystal display element of a TFT type active matrix The drive electrode substrate which prepared TFT (TFT) as a nonlinear element (switching element) on the transparent glass substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix (henceforth a TFT substrate), A 1-pixel display is formed by changing the molecule shaft of liquid crystal which came to enclose liquid crystal with a transparent glass substrate between a light filter and the common electrode substrate in which the common electrode was formed, and was inserted between the source electrode of a TFT substrate, and the common electrode of a filter base board. In addition, although only a common electrode is formed in a common electrode substrate in the liquid crystal display of monochrome, since the liquid crystal display of color display explains, below, a common electrode substrate will also be called a filter base board here.

[0005] Since liquid crystal in each pixel is always driven theoretically (duty ratio 1.0), it has the property that contrast is good compared with the so-called liquid crystal display of a passive matrix.

[0006] In addition, the liquid crystal display element of the active matrix which used TFT has an indication in JP,63-309921, A and "the 12.5 type active-matrix method electrochromatic display display which adopted the redundant configuration" (the Nikkei electronics, December 15, 1986, the Nikkei tuna UHIRU issue, the 193-210th page).

[0007]

[Problem(s) to be Solved by the Invention] in this kind of TFT method liquid crystal display element, each TFT connects and drives the gate line (scanning-line: -- it is also called a gate line below), a drain wire (signal-line: -- it is also called a data line below), etc. for the drive IC chip carried in the wiring member equipped with many electrode patterns called a tape carrier pad (TCP)

[0008] The leader of each above-mentioned line of the terminal of this TCP and a liquid crystal display element is electrically connected through an anisotropy electric conduction film.

[0009] And the inspection pad which examines properties, such as an open circuit of the above-mentioned effective field and a short circuit, to the drawer terminal pattern (terminal leader) for connecting with the above-mentioned drive IC chip is prepared in the wiring cash-drawer section from the above-mentioned gate line and drain wire of the effective screen area.

[0010] This examination contacts the inspection child who calls a prober to the above-mentioned inspection pad, and performs various kinds of examinations.

[0011] Drawing 23 is a ** type view explaining the composition of the inspection pad in the conventional liquid crystal display element, and, for 1, an effective screen area, and 2a and 2b of a leader short circuit line and 3 are [the wiring cash-drawer section from an effective screen area to a leader short circuit line and 4 (... 42i- 41 42, 43 44, 1 42i, 42 i+1, ...)] inspection pads. In addition, the wiring line interval (namely, pixel pitch) in the effective screen area 1 is set to P.

[0012] In this drawing the inspection pad 4 (... 42i- 41, 42, 43, 44, 1, 42i, 42 i+1, ...) a wiring line number (No.1, No.2,

No.3, No.4, and No. $(2i-1)$ --) Divide $(2i)$, $(2i+1)$, and into an odd number and even number side, and it pulls out alternately. It has prepared in the edge of each leader of the odd number side leader (5 3 1 No. No. No. $2i-1$, No. $2i+1$, No. $2i+3$, ...) and an even number side leader (4 2 No. No. No. $2i$, No. $2i+2$, ...). Therefore, the pitch of the inspection pad 4 is $2P$.

[0013] Since the pitch P of wiring becomes small with the liquid crystal display element of a high definition, the thing required for inspection by the prober with the above composition for which the inspection pad 4 is usually formed in the area more than 100-micrometer width of face is difficult.

[0014] For example, with a $P=68$ -micrometer liquid crystal display element, if it is set to $2P=136$ micrometer and 100 micrometers is secured as width of face of the inspection pad 4, -one wiring must be made to be placed between less than remaining 36 micrometers, generating of an open circuit or a short circuit will increase, and the fall of the yield will be brought about.

[0015] Furthermore, these reservation was difficult the pattern for eye a dense hatchet, although it took out in parallel [prober] and numbering for fixing required at the time of defective inspection and the space which is for ** were also required.

[0016] The purpose of this invention is to offer the liquid crystal display element of the high definition which fully secured the inspection pad required for the characteristic inspection which used the prober.

[0017]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention of this invention according to claim 1 In the liquid crystal display element which comes to enclose liquid crystal between the drive electrode substrate which formed the switching element on the transparent substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix, and the common electrode substrate which formed the common electrode in the transparent substrate While preparing the inspection pad formed in the edge of one [at least] terminal leader of the scanning line of a large number formed in the aforementioned drive electrode substrate, and many signal lines in the same wiring cash-drawer section for every each by the side of the even number of the above-mentioned leader, and odd number The above-mentioned inspection pad in each wiring cash-drawer section is alternately formed along the array direction of the inspection pad concerned, respectively, and is characterized by the bird clapper.

[0018] Moreover, the drive electrode substrate by which invention of this invention according to claim 2 formed the switching element on the transparent substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix, In the liquid crystal display element which comes to enclose liquid crystal between the common electrode substrates which formed the common electrode in the transparent substrate The inspection pad formed in the edge of one [at least] terminal cash-drawer wiring of the scanning line of a large number formed in the aforementioned drive electrode substrate, and many signal lines While preparing in the same wiring cash-drawer section for every each by the side of the even number of the above-mentioned terminal leader, and odd number and forming alternately the above-mentioned inspection pad in each wiring cash-drawer section along the array direction of the inspection pad concerned, respectively The numbering position of wiring linked to the above-mentioned inspection pad is arranged on the extension wire of the aforementioned inspection pad, and it is characterized by the bird clapper.

[0019] Furthermore, the drive electrode substrate by which invention of this invention according to claim 3 formed the switching element on the transparent substrate corresponding to each of the pixel electrode of a large number arranged in the shape of a matrix, In the liquid crystal display element which comes to enclose liquid crystal between the common electrode substrates which formed the common electrode in the transparent substrate The inspection pad formed in the edge of one [at least] terminal cash-drawer wiring of the scanning line of a large number formed in the aforementioned drive electrode substrate, and many signal lines It prepares in the same wiring cash-drawer section for every each by the side of the even number of the above-mentioned leader, and odd number. While coming to arrange the numbering position of the wiring which the above-mentioned inspection pad in each wiring cash-drawer section is alternately formed along the array direction of the inspection pad concerned, respectively, and connects to the above-mentioned inspection pad on the extension wire of the aforementioned inspection pad The prober for making the aforementioned inspection pad contact and conducting various characteristic inspections begins to be parallel, and it is characterized by setting the part in which the edge sensor of a ** sake is contacted as the aforementioned transparent substrate portion in which the aforementioned numbering does not exist.

[0020] In addition, the wiring leader which adjoins an above inspection pad position can also increase the area of an inspection pad by making it curve or bend so that an interval with the above-mentioned inspection pad arranged alternately may become large.

[0021]

[Function] Sufficient area for the width of face of an inspection pad being set to $4P$ when a wiring pitch is set to P , and making the prober concerned contact by composition of invention given in the above-mentioned claim 1 at the time of

the characteristic inspection by the probe is secured. By this, the above-mentioned characteristic inspection becomes easy.

[0022] Moreover, formation of numbering becomes easy by composition of invention according to claim 2.

[0023] Furthermore, it can become possible to parallel-take out the edge sensor of a probe with the part where a pattern does not exist, and to carry out it by composition of invention according to claim 3, in it, the poor detection by existence of a pattern can be avoided, and an exact characteristic inspection can be conducted.

[0024]

[Example] Hereafter, with reference to a drawing, it explains in detail about the example of this invention.

[0025] Drawing 1 is a ** type view explaining the important section composition of one example of the liquid crystal display element by this invention, and, for 1, an effective screen area, and 2a and 2b of a leader short circuit line and 3 are [the wiring cash-drawer section from an effective screen area to a leader short circuit line and 5 (... 52i- 51 52, 53, 54 1, 52i 52 i+1, ...)] inspection pads. In addition, No.1-No.i+2 are a wiring number and they set the wiring line interval (namely, pixel pitch) in the effective screen area 1 to P.

[0026] In this drawing the inspection pad 5 (51 -5i+2) A wiring line number (No. 1, 2, 3, 4, 2 i-1, 2i, 2 i+1, 2 i+2,) is divided into an even number and odd number side. While pulling out to alternate arrangement alternately along the array direction of the inspection pad of each ** concerned So that the inspection pad 5 (... 51, 52, 53, 54, 5 i-1, 5i, 5 i+1, ...) may be bypassed in each of the leader A curve or the ups-and-downs configuration section (It is hereafter called a bend) 61, 62, 63, and 6i-1, 6i, and 6i+1' and 6i+2 are prepared

[0027] Thereby, the pitch of the pad 5 (for example, 51-55) in the array direction of a leader is set to 4P.

[0028] For example, like said example of a size, if $P = 68$ micrometers, it will become large with $4P = 272$ micrometer. For this reason, the work of a characteristic inspection becomes easy and the fall of the yield of wiring between pads can be avoided.

[0029] Drawing 2 is explanatory drawing of the pattern near the wiring section of the effective field in one example of the liquid crystal display element by this invention, and, for a leader short circuit line and 3, the wiring cash-drawer section and 3a of a cutting plane line and 3b are [1 / an effective field and 2 / a TCP connection and 7] the inspection pad sections.

[0030] In this drawing, at the time of characteristic inspection execution, the end of the inspection terminal of test equipment is contacted in the leader short circuit section 2, and two or more probes which constitute a probe are contacted to the inspection pad of the inspection pad section 7.

[0031] As a result of inspection, about what passed as a product, TCP which carried Drive IC is connected to TCP connection 3b through an anisotropy conductor, cutting-plane-line 3a meets, and cutting removal of the leader short circuit section 2 is carried out.

[0032] Drawing 3 is the enlarged view of the A section of drawing 2, and 5 is a portion [numbering] in which an inspection pad and 8 do not exist and, as for 9, numbering does not exist.

[0033] The inspection pad 5 meets in the array direction, it is arranged alternately, and an alternate array consists of upper case side train 5a in drawing, and lower-berth side train 5b.

[0034] this drawing -- setting -- for example, inspection pad 5n ***** -- if it explains -- this inspection pad 5n Drawing 1 Inspection pad 52 linked to wiring No.2 which can be set It corresponds.

[0035] Inspection pad 52 6n of adjoining wiring leaders 6m It is formed in the position across which it faced. 6n of wiring leaders 6m Inspection pad 52 It is a position and is the inspection pad 52 concerned. It is curving so that it may bypass. Therefore, inspection pad 52 Sufficient area for a formation portion is obtained and the inspection pad of a large area is formed.

[0036] And inspection pad 52 On extension, the numbering 8 in which a wiring number is shown is formed. This numbering 8 is formed in some places in the array of an inspection pad, and is used for the check of a defective position.

[0037] moreover, the probe of the portion 9 in which numbering 8 is not formed is parallel -- taking out -- business -- since it is becoming the contact space of an edge sensor and contacting an edge sensor to a direct glass plate and there is no generating of the minute current by existence of an electrode pattern etc., concurrency appearance is carried out and poor detection is not caused

[0038] By having considered as such composition, since the interval between inspection pads can be made into 4 times of the wiring pitch P and it is not necessary to narrow wiring width of face as described above, an open circuit and short circuit of wiring can be reduced.

[0039] In addition, the configuration of the above-mentioned inspection pad, the curve configuration of a leader, the configuration of numbering, and other configuration structures cannot be overemphasized by that it is what does not restrict to what was shown in the above-mentioned example, and can be applied also to for example, simple matrix

liquid crystal display devices other than a TFT type.

[0040] Hereafter, the example which applied this invention to the TFT type liquid crystal display is explained.

[0041] Outline>> of <<matrix section Drawing 4 is the plan showing 1 pixel and its circumference of the active-matrix method electrochromatic display with which this invention is applied, a cross section [in / three to 3 cutting plane line of drawing 4 / in drawing 5], and a cross section / in / four to 4 cutting plane line of drawing 4 / in drawing 6].

[0042] As shown in drawing 4, each pixel is arranged in the intersection field of two adjoining scanning signal lines (a gate signal line or level signal line) GL and two adjoining video-signal lines (a drain signal line or perpendicular signal line) DL (inside of the field surrounded by four signal lines).

[0043] Each pixel contains TFT TFT, the transparent pixel electrode ITO1, and the retention volume element Cadd. The scanning signal line GL extends in a longitudinal direction drawing, and is arranged two or more in the vertical direction. The video-signal line DL extends in the vertical direction, and is arranged two or more at the longitudinal direction.

[0044] As shown in drawing 5, TFT TFT and the transparent pixel electrode (lower transparent electric conduction film) ITO1 are formed in the lower transparent glass-substrate (lower transparent substrate) SUB1 side on the basis of the liquid crystal layer LC, and the light filter FIL and the black matrix pattern BM for shading are formed in the up transparent glass-substrate (upper transparent substrate) SUB2 side. The silicon-oxide film SIO formed of DIP processing etc. is formed in both sides of the transparent glass substrates SUB1 and SUB2.

[0045] The shading film BM, a light filter FIL, a protective coat PSV2, the common transparent pixel electrode (upper transparent electric conduction film) ITO2 (COM), and the up orientation film (upper orientation film) ORI2 carry out a laminating to the front face inside up transparent glass-substrate SUB2 (liquid crystal LC side) one by one, and are prepared in it.

[0046] Outline>> of <<matrix circumference The important section plan of the matrix (AR) circumference of the display panel PNL in which drawing 7 contains the up-and-down glass substrates SUB1 and SUB2, and drawing 8 are the plan which exaggerated the periphery further, and an expansion plan near [corresponding to drawing 7 and the panel upper-left-hand-corner section of drawing 8 in drawing 9] seal section SL. The aforementioned this invention is applied to the portion shown by the arrow B of drawing 9.

[0047] Moreover, drawing 10 is the cross section showing the cross section near [where the cross section of drawing 5 is carried out in the center, and the cross section in the 8a-8a cutting plane line of drawing 9 should be connected to left-hand side in a video-signal drive circuit on right-hand side] external end-connection child DTM.

[0048] Similarly, drawing 11 is the cross section showing the cross section near [which does not have an external end-connection child in right-hand side in the cross section near / where a scanning circuit should be connected to left-hand side / external end-connection child GTM] the seal section.

[0049] It divides, after processing two or more devices of a part simultaneously with one glass substrate in manufacture of this panel for the improvement in a throughput, if it is small size, if it is large size, after processing the glass substrate of a size with which every form was standardized for the common use of a manufacturing facility, it is made small in the size suitable for each form, and since it passes a general process in any case, glass is cut. Drawing 7 - drawing 9 show the latter example, drawing 9 expresses cutting before for the vertical substrates SUB1 and SUB2 cutting-back again, and, as for CT1 and CT2, drawing 7 and both drawings of drawing 8 show the position where, as for LN, substrates SUB1 and SUB2 should cut the edge before cutting of both substrates, respectively. The size of the top substrate SUB 2 is restricted inside the bottom substrate SUB 1 so that, as for the portion (they are the vertical side and left part in drawing) in which the external connection terminal blocks Tg and Td (subscript abbreviation) exist in the state of completion, they may be exposed in any case.

[0050] Two or more terminal blocks Tg and Td are summarized in the unit of the tape carrier package TCP (it mentions later by drawing 20 and drawing 21) by which the terminal GTM for scanning-circuit connection mentioned later, respectively, the terminals DTM for picture-signal-circuitry connection, and those drawer wiring sections were carried in the integrated circuit chip CHI, and are named in it. Drawer wiring until it results in the matrix section shell external connection terminal area of each group inclines as it approaches ends. This is for setting the terminals DTM and GTM of a display panel PNL by the array pitch of Package TCP, and the end-connection child pitch in each package TCP.

[0051] Along the edge, except for the liquid crystal enclosure mouth INJ, among the transparent glass substrates SUB1 and SUB2, the seal pattern SL is formed so that liquid crystal LC may be closed. This sealant consists of an epoxy resin.

[0052] The common transparent pixel electrode ITO2 by the side of up transparent glass-substrate SUB2 is connected to the drawer wiring INT formed in the lower transparent glass-substrate SUB1 side of the silver paste material AGP on four squares of a panel by this example in at least one place. This drawer wiring INT is formed by the same

manufacturing process as gate-terminal GTM and the drain terminal DTM which are mentioned later.

[0053] The orientation films ORI1 and ORI2, the transparent pixel electrode ITO1, the common transparent pixel electrode ITO2, and each layer are formed inside the seal pattern SL.

[0054] Polarizing plates POL1 and POL2 are formed in the front face of the outside of lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2, respectively.

[0055] Liquid crystal LC is enclosed with the field divided by the seal pattern SL between the lower orientation films ORI1 and the up orientation films ORI2 which set up the sense of a liquid crystal molecule.

[0056] The lower orientation film ORI1 is formed in the upper part of the protective coat PSV1 by the side of lower transparent glass-substrate SUB1.

[0057] This liquid crystal display accumulates various layers separately by the lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2 side, forms the seal pattern SL in a substrate SUB 2 side, piles up lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2, pours in liquid crystal LC from the opening INJ of sealant SL, closes Inlet INJ by the epoxy resin etc., and is assembled by cutting a vertical substrate.

[0058] <<TFT TFT>> Next, it returns to drawing 4 and drawing 5, and the composition by the side of the TFT substrate SUB 1 is explained in detail. If TFT TFT impresses positive bias to the gate electrode GT, the channel resistance between source-drains will become small, and if bias is made into zero, channel resistance will operate so that it may become large.

[0059] TFT TFT1 and TFT2 of plurality (two) carries out redundancy, and is prepared in each pixel. Each of TFT TFT1 and TFT2 consists of same sizes (channel length and channel width are the same) substantially, and has the i-type-semiconductor layer AS which consists of the gate electrode GT, a gate insulator layer GI, and i type (genuineness, intrinsic, and conductivity-type determination impurity are not doped) amorphous silicon (Si), the source electrode SD 1 of a couple, and the drain electrode SD 2. In addition, since the source and a drain are originally decided by bias polarity in the meantime and working reversal of the polarity is carried out in the circuit of this liquid crystal display, please understand that the source and a drain interchange working. However, in the following explanation, for convenience, the method of one is fixed with the source, another side is fixed with a drain, and it expresses.

[0060] <<gate electrode GT>> The gate electrode GT consists of configurations which project perpendicularly from the scanning signal line GL (it has branched in the T character configuration). The gate electrode GT is projected so that each active region of TFT TFT1 and TFT2 may be exceeded. Each gate electrode GT of TFT TFT1 and TFT2 is constituted by one (as a common gate electrode), and is formed in it succeeding the scanning signal line GL.

[0061] In this example, the gate electrode GT is formed by the 2nd electric conduction film g2 of a monolayer. As the 2nd electric conduction film g2, for example, the aluminum (aluminum) film formed by the spatter is used, and the oxide film on anode AOF of aluminum is formed on it.

[0062] This gate electrode GT is completely formed in the method of a wrap from it in the i-type-semiconductor layer AS oversized (in view of a lower part), and it is devised so that neither outdoor daylight nor back light light may be equivalent to the i-type-semiconductor layer AS.

[0063] <<scanning signal-line GL>> The scanning signal line GL consists of 2nd electric conduction films g2. The 2nd electric conduction film g2 of this scanning signal line GL is formed by the same manufacturing process as the 2nd electric conduction film g2 of the gate electrode GT, and is constituted by one. Moreover, the oxide film on anode AOF of aluminum is formed also on the scanning signal line GL.

[0064] <<insulator layer GI>> An insulator layer GI is used in TFT TFT1 and TFT2 as a gate insulator layer for giving electric field to the semiconductor layer AS with the gate electrode GT.

[0065] The insulator layer GI is formed in the upper layer of the gate electrode GT and the scanning signal line GL. The silicon nitride film formed by plasma CVD as an insulator layer GI is chosen, and it is formed at the thickness which is 1200-2700Å (this example about 2000Å).

[0066] The gate insulator layer GI is formed so that the whole matrix section AR may be surrounded, as shown in drawing 9, and the periphery is removed so that the external end-connection children DTM and GTM may be exposed. The insulator layer GI has contributed also to the electric insulation of the scanning signal line GL and the video-signal line DL.

[0067] <<i-type-semiconductor layer AS>> By this example, the i-type-semiconductor layer AS is formed so that it may become the island which became independent to each of TFT TFT1 and TFT2, is amorphous silicon and is formed in the thickness of 200-2200Å by (this example at about 2000Å thickness). A layer d0 is N(+) type amorphous silicon semiconductor layer which doped Lynn (P) for ohmic contacts, and is left behind only at the place where the i-type-semiconductor layer AS exists in the bottom at, and a conductive layer d2 (d3) exists in the bottom.

[0068] The i-type-semiconductor layer AS is formed also among both of the intersection (crossover section) of the

scanning signal line GL and the video-signal line DL. The i-type-semiconductor layer AS of this intersection reduces the short circuit of the scanning signal line GL and the video-signal line DL in an intersection.

[0069] <<transparent pixel electrode ITO1>> The transparent pixel electrode ITO1 constitutes one side of the pixel electrode of the liquid crystal display section.

[0070] The transparent pixel electrode ITO1 is connected to both the source electrode SD 1 of TFT TFT1, and the source electrode SD 1 of TFT TFT2. For this reason, what is necessary is just to leave it, since a suitable part is cut, and the TFT of another side is operating normally by the laser beam etc. when that is not right, when the defect brings about a side effect, even if a defect occurs in one of TFT TFT1 and TFT2. The transparent pixel electrode ITO1 is constituted by the 1st electric conduction film d1, and this 1st electric conduction film d1 consists of a transparent electric conduction film (Indium-Tin-Oxide ITO : Nesa membrane) formed by sputtering, and is formed at the thickness of 1000-2000Å (this example about 1400Å thickness).

[0071] <<source electrode SD1 and drain electrode SD2>> Each of the source electrode SD 1 and the drain electrode SD 2 consists of a 2nd electric conduction film d2 in contact with N(+) type semiconductor layer d0, and a 3rd electric conduction film d3 formed on it.

[0072] By (this example, about 600Å of the 2nd electric conduction films d2 is formed in the thickness of 500-1000Å by) using the chromium (Cr) film formed by the spatter. Since stress will become large if thickness is formed thickly, Cr film is formed in the range which does not exceed about 2000Å thickness. Cr film makes good an adhesive property with N(+) type semiconductor layer d0, and it is used in order to prevent that aluminum of the 3rd electric conduction film d3 is spread in N(+) type semiconductor layer d0 (the so-called barrier layer). As the 2nd electric conduction film d2, you may use the refractory-metal (Mo, Ti, Ta, W) film and refractory-metal silicide (MoSi₂, TiSi₂, TaSi₂, WSi₂) film other than Cr film.

[0073] The 3rd electric conduction film d3 is formed by sputtering of aluminum at the thickness of 3000-5000Å (this example about 4000Å). aluminum film has a small stress compared with Cr film, forming in thick thickness is possible, the resistance of the source electrode SD 1, the drain electrode SD 2, and the video-signal line DL is reduced, or there is work which ensures level difference riding **** resulting from the gate electrode GT and the i-type-semiconductor layer AS (step coverage is improved).

[0074] the same mask after carrying out patterning of the 2nd electric conduction film d2 and the 3rd electric conduction film d3 by the same mask pattern -- using -- the [or] -- N(+) type semiconductor layer d0 is removed by using 2 electric conduction films d2 and the 3rd electric conduction film d3 as a mask That is, as for N(+) type semiconductor layer d0 which remained on the i-type-semiconductor layer AS, portions other than 2nd electric conduction film d2 and 3rd electric conduction film d3 are removed by the self aryne. As for N(+) type semiconductor layer d0, since it *****s so that parts for all the thickness may be removed at this time, although the surface portion *****s a little, the extent should just control the i-type-semiconductor layer AS in etching time.

[0075] <<video-signal line DL>> The video-signal line DL consists of a 2nd electric conduction film d2 of the source electrode SD 1, the drain electrode SD 2, and this layer, and a 3rd electric conduction film d3.

[0076] <<protective coat PSV1>> The protective coat PSV1 is formed on TFT TFT and the transparent pixel electrode ITO1. It is formed in order that a protective coat PSV1 may mainly protect TFT TFT from moisture etc., and high moreover, transparency uses a damp-proof good thing. The protective coat PSV1 is formed by the silicon-oxide film and silicon nitride film which were formed for example, with plasma CVD equipment, and is formed by about 1-micrometer thickness.

[0077] The portion in which it is formed so that the whole matrix section AR may be surrounded, and a periphery is removed so that the external end-connection children DTM and GTM may be exposed, and a protective coat PSV1 connects the common electrode COM by the side of [SUB / 2] an upper substrate to the drawer wiring INT for external end-connection child connection of the bottom substrate SUB 1 with the silver paste AGP as shown in drawing 9 is also removed. About the thickness relation between a protective coat PSV1 and the gate insulator layer GI, the former considers a protective effect, and is thickened, and the latter is made thin in the mutual conductance gm of a transistor. Therefore, as shown in drawing 9, the high protective coat PSV1 of a protective effect is formed more greatly than the gate insulator layer GI so that a periphery may also be protected [the largest possible range].

[0078] <<shading film BM>> The shading film BM is formed in the up transparent glass-substrate SUB2 side so that an extraneous light or back light light may not carry out incidence to the i-type-semiconductor layer AS. As for the border line of the polygon which the shading film BM shown in drawing 4 closed, the inside shows opening in which the shading film BM is not formed.

[0079] For example, cover nature [as opposed to light in the shading film BM] is high, it is formed by the aluminum film, the chromium film, etc., and a chromium film is formed in the thickness of about 1300Å by sputtering in this example.

[0080] The i-type-semiconductor layer AS of TFT TFT1 and TFT2 is made sandwiches by the shading film BM which exists up and down, and the oversized gate electrode GT, and the external natural light and external back light light stop therefore, hitting.

[0081] The shading film BM is formed in the circumference of each pixel in the shape of a grid (the so-called black matrix), and the 1-pixel effective viewing area is divided with this grid. Therefore, the profile of each pixel carries out clearly with the shading film BM, and contrast improves. That is, the shading film BM has two functions of shading to the i-type-semiconductor layer AS, and a black matrix.

[0082] Since the edge portion by the side of the origin of the direction of rubbing of the transparent pixel electrode ITO1 (drawing 4 lower right portion) is also shaded with the shading film BM, though a domain occurs into the above-mentioned portion, since a domain cannot be seen, a display property does not deteriorate.

[0083] The shading film BM is formed also in a periphery in the shape of a frame, as shown in drawing 8 , and the pattern is continuously formed with the pattern of the matrix section shown in drawing 4 which prepared two or more openings in the shape of a dot. It has prevented leakage light, such as the reflected light which is extended on the outside of the seal section SL and originates in mounting machines, such as a personal computer, as the shading film BM of a periphery is shown in drawing 8 - drawing 11 , entering into the matrix section. On the other hand, rather than the edge of a substrate SUB 2, this shading film BM is stopped inside about about 0.3-1.0mm, avoids the cutting field of a substrate SUB 2, and is formed.

[0084] <<light-filter FIL>> A light filter FIL is formed in the position which counters a pixel in the shape of a stripe by the repeat of red, green, and blue. A light filter FIL is formed in oversized so that all the transparent pixel electrodes ITO1 may be covered, and the shading film BM is formed inside the periphery section of the transparent pixel electrode ITO1 so that it may lap with the edge portions of a light filter FIL and the transparent pixel electrode ITO1.

[0085] A light filter FIL can be formed as follows. First, bathochromic group material, such as an acrylic resin, is formed in the front face of up transparent glass-substrate SUB2, and photolithography technology removes bathochromic group material other than a red filter formation field. Then, bathochromic group material is dyed with a red color, fixing processing is performed, and the red filter R is formed. The green filter G and the blue filter B are formed one by one by giving the same process to the next.

[0086] <<protective coat PSV2>> The protective coat PSV2 is formed in order to prevent that the color of a light filter FIL leaks to liquid crystal LC. The protective coat PSV2 is formed with transparent resin material, such as acrylic resin and an epoxy resin.

[0087] << -- common transparent pixel electrode ITO2>> -- the common transparent pixel electrode ITO2 counters the transparent pixel electrode ITO1 prepared in the lower transparent glass-substrate SUB1 side for every pixel, and the optical state of liquid crystal LC answers the potential difference between each pixel electrode ITO1 and the common transparent pixel electrode ITO2 (electric field), and changes It is constituted so that the common voltage Vcom may be impressed to this common transparent pixel electrode ITO2.

[0088] What is necessary is just to impress alternating voltage to reduce the supply voltage of the integrated circuit used in a video-signal drive circuit in an abbreviation half, although the common voltage Vcom is set as the middle direct-current potential of the driver voltage Vdmin of the minimum level and the driver voltage Vdmax of the maximum level which are impressed to the video-signal line DL in this example. In addition, refer to drawing 8 and drawing 9 for the flat-surface configuration of the common transparent pixel electrode ITO2.

[0089] Structure>> of <<retention volume element Cadd In the edge connected with TFT TFT, and the edge of an opposite side, the transparent pixel electrode ITO1 is formed so that it may lap with the next scanning signal line GL. This superposition constitutes the retention volume element (electrostatic capacitative element) Cadd which uses the transparent pixel electrode ITO1 as one electrode PL 2, and uses the next scanning signal line GL as the electrode PL 1 of another side so that clearly also from drawing 6 .

[0090] The dielectric film of this retention volume element Cadd consists of an insulator layer GI used as a gate insulator layer of TFT TFT, and an oxide film on anode AOF.

[0091] The retention volume element Cadd is formed in the portion which expanded the width of face of the 2nd electric conduction film g2 of the scanning signal line GL.

[0092] In addition, the 2nd electric conduction film g2 of the portion which intersects the video-signal line DL is made thin in order to make small probability of a short circuit with the video-signal line DL.

[0093] The defect is compensated by the island field which was formed so that the level difference might be straddled and which reached 2nd electric conduction film d2 and consisted of 3rd electric conduction films d3 even if the transparent pixel electrode ITO1 is disconnected in the level difference section of the electrode PL 1 of the retention volume element Cadd.

[0094] <<gate-terminal section>> Drawing 12 is explanatory drawing of the connection structure from the scanning

signal line GL of a display matrix to the external end-connection child GTM, and it is a cross section [in / the B-B cutting plane line of (A) / (A) and / in (B)]. / a plan In addition, this drawing corresponded near the drawing 9 lower part, and the portion of slanting wiring was expressed with the shape of a facilities-like straight line.

[0095] the mask pattern for photographic processing in AO -- in other words, it is the photoresist pattern of alternative anodic oxidation Therefore, this photoresist is removed after anodic oxidation, and although the pattern AO shown in drawing does not remain as a finished product, since an oxide film AOF is alternatively formed in the gate wiring GL as shown in a cross section, the tracing remains.

[0096] In this drawing (A), they are the field which covers left-hand side by the resist on the basis of the boundary line AO of a photoresist, and does not carry out anodic oxidation, and the field by which right-hand side is exposed from a resist and anodic oxidation is carried out. In the AL layer g2 by which anodic oxidation was carried out, the 2Ooxide aluminum3 film AOF is formed in a front face, and, as for a downward current carrying part, volume decreases. Of course, anodic oxidation sets up suitable time, voltage, etc. and is performed so that the current carrying part may remain.

[0097] A mask pattern AO does not intersect the scanning line GL in a single straight line, but bends in the shape of a crank, and is made to cross.

[0098] Although the hatch is given in order to make intelligible the AL layer g2 in drawing, patterning of the field by which anodization is not carried out is carried out to the pectinate. Since whiskers generate [the width of face of aluminum layer] this on latus and a front face, 1 one width of face is an aim which presses down the sacrifice of the probability of an open circuit, or conductivity to minimum, preventing generating of whiskers by narrowing and considering as the composition which bundled them to two or more parallel. Therefore, in this example, the portion equivalent to the origin of a comb is also shifted along with Mask AO.

[0099] With the electric erosion resistance high Cr layer g1 with a sufficient oxidization silicon SIO layer and a sufficient adhesive property, a gate terminal GTM protects the front face further from aluminum etc., and is constituted by the pixel electrode ITO1 and the transparent conductive layer d1 of this level (this layer, simultaneous formation).

[0100] In addition, the conductive layers d2 and d3 formed in the gate insulator layer GI top and its lateral portion remain owing to the pinhole etc. as a result to which a conductive layer g2 and g1 had covered the field by the photoresist so that it might not ***** together at the time of a conductive layer d3 or etching of d2. Moreover, the ITO layer d1 which overcame the gate insulator layer GI and was extended rightward takes the same measures still more thoroughgoing.

[0101] The protective coat PSV1 is also formed on the right of the boundary line on the right of the boundary line, the gate insulator layer GI exposes from them the terminal area GTM located in a left end, and the electric contact to an external circuit has come to be able to do it in the above-mentioned plan. Drawing, although only one pair of the gate line GL and a gate terminal is shown, as such [in practice] a pair shows drawing 9 , two or more are put in order up and down, a terminal block Tg (drawing 8 , drawing 9) is constituted, and in manufacture process, the left end of a gate terminal is extended across the cutting field CT 1 of a substrate, and is short-circuited with Wiring SHg.

[0102] Such a short circuit line SHg in manufacture process is useful to the electrostatic-discharge prevention at the time of the electric supply at the time of anodization, and rubbing of the orientation film ORI1 etc.

[0103] <<drain terminal DTM>> Drawing 13 is explanatory drawing of connection from the video-signal line DL to the external end-connection child DTM, and it is a cross section [in / the B-B cutting plane line of (A) / (A) and / in (B)]. / the plan In addition, this drawing corresponds near the drawing 9 upper right, and although the sense of a drawing is changed for convenience, the direction of a right end corresponds to the upper-limit section (or soffit section) of a substrate SUB 1.

[0104] Although TSTd is an inspection terminal and an external circuit is not connected here, width of face has extended from the wiring section so that a probe needle etc. can be contacted. Similarly, width of face has extended from the wiring section so that the drain terminal DTM can perform connection with an external circuit.

[0105] Although termination is carried out without arriving at the edge of a substrate SUB 1 as the inspection terminal TSTd and the external connection drain terminal DTM are alternately arranged alternately with plurality in the vertical direction and the inspection terminal TSTd is shown in drawing As shown in drawing 9 , the drain terminal DTM constitutes a terminal block Td (subscript ellipsis), and is further extended exceeding the cutting plane line CT 1 of a substrate SUB 1, and as for the inside of manufacture process, the all connect too hastily with Wiring SHd mutually for electrostatic-discharge prevention.

[0106] A drain end-connection child is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the inspection terminal TSTd exists, and an inspection terminal is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the drain end-connection child DTM exists conversely.

[0107] The drain end-connection child DTM is formed by the same reason as the gate terminal GTM mentioned above

by two-layer [of the Cr layer g1 and the ITO layer d1], and is connected with the video-signal line DL in the portion which removed the gate insulator layer GI.

[0108] The semiconductor layer AS formed on the edge of the gate insulator layer GI is for *****ing the edge of the gate insulator layer GI in the shape of a taper. On Terminal DTM, in order to make connection with an external circuit, it is removed not to mention the protective coat PSV1.

[0109] Although AO is the anodic oxidation mask mentioned above, the boundary line is formed so that matrix ***** may be surrounded greatly, and left-hand side is covered with a mask from the boundary line drawing, since a layer g2 does not exist in the portion which is not covered in this drawing, this pattern is not directly related.

[0110] As shown also in the (C) section of drawing 10, the drawer wiring from the matrix section to the drain terminal area DTM Although it has structure by which the laminating was carried out [to] as the layers d2 and d3 of the level same immediately on the layers d1 and g1 of the same level as the drain terminal area DTM as the video-signal line DL are the seal patterns SL This is an aim which protects the aluminum layer d3 which presses down the probability of an open circuit to the minimum, and is easy to **** it as much as possible by the protective coat PSV1 or the seal pattern SL.

[0111] <<display whole equal circuit>> The schematics of the equal circuit and circumference circuit of the display matrix section are shown in drawing 14. Although this drawing is a circuit diagram, it is drawn corresponding to actual geometry. AR is the matrix array which arranged two or more pixels in the shape of-dimensional [2].

[0112] Among drawing, X means the video-signal line DL and Subscripts G, B, and R are added corresponding to green, blue, and the red pixel, respectively. Y means the scanning signal line GL and subscripts 1, 2, and 3, --, end are added according to the sequence of scanning timing.

[0113] The video-signal line X (subscript ellipsis) is connected to the top (or odd number) video-signal drive circuit helium and the bottom (or even number) video-signal drive circuit Ho by turns, and the scanning signal line Y (subscript ellipsis) is connected to the vertical-scanning circuit V.

[0114] SUP is a circuit including the circuit which exchanges for the information for TFT liquid crystal displays the information for CRT (cathode-ray tube) from the power circuit and host (host processor) for obtaining the stable voltage source which plurality pressured partially from one voltage source.

[0115] Work>> of <<retention volume element Cadd When TFT TFT switches, the retention volume element Cadd works so that the influence of gate potential change ΔV_g to the middle point potential (pixel electrode potential) V_{lc} may be reduced. It is as follows when this situation is expressed with a formula.

[0116]
$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$
 -- here, as for the capacity and ΔV_{lc} which are formed between the transparent pixel electrode ITO1 (PIX) and the common transparent pixel electrode ITO2 (COM), the parasitic capacitance by which C_{gs} is formed between the gate electrode GT of TFT TFT and the source electrode SD 1, and C_{pix} express a changed part of the pixel electrode potential by ΔV_g

[0117] Although this change part ΔV_{lc} causes a dc component which joins liquid crystal LC, the more it enlarges retention volume Cadd, the more the value can be made small. Moreover, the retention volume element Cadd also has the operation which lengthens a charging time value, and accumulates the image information after TFT TFT turns off for a long time. Reduction of the dc component impressed to liquid crystal LC can improve the life of liquid crystal LC, and can reduce the so-called seizure by which a front picture remains at the time of the change of a liquid crystal display screen.

[0118] As mentioned above, overlap area of the gate electrode GT with the part, the source electrode SD 1, and the drain electrode SD 2 which are enlarged increases so that the i-type-semiconductor layer AS may be covered completely, therefore a parasitic capacitance C_{gs} becomes large, and the opposite effect of becoming easy to be influenced of the gate (scan) signal V_g produces the middle point potential V_{lc} . However, this demerit is also cancelable by forming the retention volume element Cadd.

[0119] The retention volume of the retention volume element Cadd is set as the value about eight to 32 times ($8 < C_{gs} < C_{add} < 32, C_{gs}$) from the write-in property of a pixel to four to 8 times ($4, C_{pix} < C_{add} < 8, \text{ and } C_{pix}$), and a parasitic capacitance C_{gs} to the liquid crystal capacity C_{pix} .

[0120] The scanning signal line GL (Y0) of the first rank used only as a retention volume electrode line is made into the same potential as the common transparent pixel electrode ITO2 (Vcom). In the example of drawing 9, the scanning signal line of the first rank is connected with the common electrode COM too hastily through a terminal GT 0, a leader line INT, a terminal DT 0, and external wiring. Or you may connect the retention volume electrode line Y0 of the first rank so that it may connect with the scanning signal line Yend of the last stage at direct-current potential points other than connection and Vcom (alternating current grounding point) or the scanning pulse Y0 may be received in one excess from the vertical-scanning circuit V.

[0121] <<manufacture method>> Below, the manufacture method by the side of the substrate SUB 1 of the liquid crystal display mentioned above is explained with reference to drawing 15 - drawing 17 . In addition, in this drawing, a central character is the abbreviated name of a process name, and the pixel portion which shows left-hand side to drawing 5 , and right-hand side show the flow of processing seen in the cross-section configuration near [which is shown in drawing 12] a gate terminal.

[0122] Moreover, except for Process D, Process A - Process I are what was classified corresponding to each photographic processing, and show the stage which processing after photographic processing finished any cross section of each process, and removed the photoresist.

[0123] In addition, in this explanation, photographic processing shall show a series of work until it develops it through the selection exposure which used the mask from the application of a photoresist, and avoids explanation of recurrence. It explains according to the process classified below.

[0124] After forming the silicon-oxide film SIO in both sides of lower transparent glass-substrate SUB1 which consists of a process A and drawing 157059 glass (tradename) by DIP processing, 500 degrees C and BEKU for 60 minutes are performed. On lower transparent glass-substrate SUB1, thickness forms the 1st electric conduction film g1 which consists of chromium which is 1100A by sputtering, and *****s the 1st electric conduction film g1 alternatively with the 2nd cerium ammonium solution of a nitric acid as an etching reagent after photographic processing. The anodic oxidation pad (not shown) connected to the bus line SHd which short-circuits the anodic oxidation bus line SHg and the drain terminal DTM which connect gate-terminal GTM, the drain terminal DTM, and a gate terminal GTM by it, and the anodic oxidation bus line SHg is formed.

[0125] Process B and the drawing 15 thickness form the 2nd electric conduction film g2 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. which are 2800A by sputtering. The 2nd electric conduction film g2 is alternatively *****ed after photographic processing with the mixed-acid liquid of a phosphoric acid, a nitric acid, and a glacial acetic acid.

A substrate SUB 1 is immersed into the anodic oxidation liquid which consists of liquid which diluted with ethylene glycol liquid to 1:9 the solution which adjusted the tartaric acid to PH 6.25**0.05 by ammonia 3% after Process C and drawing 15 photographic processing (after the anodic oxidation mask AO formation mentioned above), and the Chemicals current density is 0.5 mA/cm. It adjusts so that it may become (constant-current Chemicals).

[0126] Next, anodic oxidation is performed until it amounts to formation voltage 125V [required to obtain 2Oaluminum3 predetermined thickness]. It is desirable to hold in this state after that for several 10 minutes (constant-voltage Chemicals). This is important, when obtaining 2Oaluminum3 uniform film. It carries out anodic oxidation of the electric conduction film g2, and the oxide film on anode AOF whose thickness is 1800A is formed of it on the scanning signal line GL, the gate electrode GT, and an electrode PL 1.

[0127] After introducing ammonia gas, silane gas, and nitrogen gas into Process D and drawing 16 plasma CVD equipment, preparing the nitriding Si film whose thickness is 2000A, introducing silane gas and hydrogen gas into plasma CVD equipment and preparing the i type amorphous Si film whose thickness is 2000A, hydrogen gas and phosphine gas are introduced into plasma CVD equipment, and the N(+) type amorphous Si film whose thickness is 300A is prepared.

[0128] The island of the i-type-semiconductor layer AS is formed after Process E and drawing 16 photographic processing by *****ing alternatively an N(+) type amorphous Si film and an i type amorphous Si film as dry etching gas using SF6 and CCl4.

[0129] SF6 is used as dry etching gas after Process F and drawing 16 photographic processing, and a nitriding Si film is *****ed alternatively.

[0130] Process G and the drawing 17 thickness form the 1st electric conduction film d1 which consists of an ITO film which is 1400A by sputtering. The best layer and the transparent pixel electrode ITO1 of gate-terminal GTM and the drain terminal DTM are formed after photographic processing by *****ing the 1st electric conduction film d1 alternatively with the mixed-acid liquid of a hydrochloric acid and a nitric acid as an etching reagent.

[0131] The 2nd electric conduction film d2 which consists of Cr Process H and whose drawing 17 thickness are 600A is formed by sputtering, and the 3rd electric conduction film d3 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. whose thickness is 4000A further is formed by sputtering.

[0132] The 3rd electric conduction film d3 is *****ed with the same liquid as Process B after photographic processing, the 2nd electric conduction film d2 is *****ed with the same liquid as Process A, and the video-signal line DL, the source electrode SD 1, and the drain electrode SD 2 are formed.

[0133] N(+) type semiconductor layer d0 between the source and a drain is alternatively removed by introducing CCl4 and SF6 into a dry etching system, and next, *****ing an N(+) type amorphous Si film.

[0134] Ammonia gas, silane gas, and nitrogen gas are introduced into Process I and drawing 17 plasma CVD

equipment, and the nitriding Si film whose thickness is 1 micrometer is prepared. A protective coat PSV1 is formed after photographic processing by *****ing a nitriding Si film alternatively with the photo-etching technology which used SF6 as dry etching gas.

[0135] <<liquid crystal display whole module composition>> Drawing 18 is the decomposition perspective diagram showing each component part of the liquid crystal display module MDL.

[0136] the shielding case (metal frame) of the shape of a frame to which SHD changes from a metal plate, and LCW -- each part material is accumulated due to the arrangement upper and lower sides as a back light and BLS are bottom cases and indicate a back light base material and LCA to be to drawing, and, as for the display window and PNL, Module MDL is assembled [an intermediate frame and BL] for an optical diffusion board and MFR, as for a liquid crystal display panel and SPB

[0137] The whole is fixed by the presser foot stitch tongue CL and Hook FK by which Module MDL was formed in the shielding case SHD.

[0138] Intermediate-frame MFR is formed in the shape of a frame so that opening corresponding to a display window LCW may be prepared, and the irregularity according to the configuration and thickness of the diffusion board SPB, the back light base material BLS, and various passive circuit elements and opening for heat dissipation are prepared in a part for the frame part.

[0139] The bottom case LCA serves also as the reflector of back light light, and corresponding to the fluorescence pipe BL, the reflective mountain RM is formed so that efficient reflection can be performed.

[0140] The <<display panel PNL and drive circuit board PCB1>> Drawing 19 is the plan showing the state where the video-signal drive circuits helium and Ho and the vertical-scanning circuit V were connected to the display panel PNL shown in drawing 7 etc.

[0141] CHI is a drive IC chip (for three lower pieces, every six of the drive IC chip by the side of a vertical-scanning circuit and right and left are a drive IC chip by the side of a video-signal drive circuit) which makes a display panel PNL drive.

[0142] The tape career package in which the IC chip CHI for a drive was mounted by the tape-automated-bonding method (TAB) so that TCP might be later mentioned by drawing 20 and drawing 21 , and PCB1 are the drive circuit boards in which Above TCP, Capacitor CDS, etc. were mounted, and are divided into three.

[0143] FGP is a frame grand pad and the fragment FG of the shape of a spring cut deeply and prepared in the shielding case SHD is soldered. FC is a flat cable which connects electrically the lower drive circuit board PCB 1, the left-hand side drive circuit board PCB 1, and the lower drive circuit board PCB 1 and the right-hand side drive circuit board PCB 1.

[0144] As shown in drawing as this flat cable FC, what sandwiched and supported two or more lead wire (what gave Sn plating to the material of phosphor bronze) in stripe-like a polyethylene layer and a polyvinyl alcohol layer is used.

[0145] Connection structure>> of <<TCP Drawing 20 is drawing showing the cross-section structure of the tape career package TCP which constitutes the scanning signal drive circuit V and the video-signal drive circuits helium and Ho where the integrated circuit chip CHI was carried in the flexible wiring substrate, and drawing 21 is the important section cross section showing the state where it was connected to the terminal DTM for picture signal circuitries by this example of a liquid crystal display panel.

[0146] In this drawing, TTB(s) are the input terminal and the wiring section of an integrated circuit CHI, and TTM(s) are the output terminal and the wiring section of an integrated circuit CHI, for example, it consists of Cu, and the bonding pad PAD of an integrated circuit CHI is connected to the point (common-name inner lead) of each inside by the so-called face down bonding method. The point (common-name outer lead) of the outside of Terminals TTB and TTM corresponds to the input and output of the semiconductor integrated circuit chip CHI, respectively, and soldering etc. connects with a CRT/TFT conversion circuit and a power circuit SUP, and it is connected to the liquid crystal display panel PNL by the anisotropy electric conduction film ACF.

[0147] Package TCP is connected to the panel so that the point may cover the protective coat PSV1 which exposed the end-connection child DTM by the side of Panel PNL. Therefore, since the external end-connection child DTM (GTM) is covered by at least the protective coat PSV1 or one side of Package TCP, he becomes strong to ****.

[0148] BF1 is a base film which consists of a polyimide etc., and SRS is a solder-resist film for carrying out a mask so that the place where solder is excessive may not be reached in the case of soldering.

[0149] The crevice between the vertical glass substrates of the outside of the seal pattern SL is protected by the epoxy resin EPX after washing etc., it fills up with silicone resin SIL further between Package TCP and the top substrate SUB 2, and protection is multiplexed.

[0150] <<drive circuit board PCB2>> The drive circuit board PCB 2 of the liquid crystal display section LCD held and contained is carrying out L typeface, as shown in drawing 22 , and electronic parts, such as IC, a capacitor, and

resistance, are carried in intermediate-frame MFR. The circuit SUP including the power circuit for obtaining the stable voltage source which plurality pressured partially from one voltage source, and the circuit which changes the information for CRT (cathode-ray tube) from a host (host processor) into the information for TFT liquid crystal displays is carried in this drive circuit board PCB 2.

[0151] CJ is a connector connection to which the connector which is connected with the exterior, and which is not illustrated is connected. The drive circuit board PCB 2 and the inverter circuit board PCB 3 are electrically connected through the connector hole established in intermediate-frame MFR with the back light cable.

[0152] The flat cable FC which the drive circuit board PCB 1 and the drive circuit board PCB 2 can bend connects electrically. At the time of an assembly, by bending 180 degrees of flat cables FC, the drive circuit board PCB 2 is put on the background of the drive circuit board PCB 1, and fits into the predetermined crevice of intermediate-frame MFR.

[0153] As shown in the above example, the liquid crystal display element by this invention can offer a reliable liquid crystal display.

[0154]
[Effect of the Invention] Since according to this invention the inspection pad pitch of a liquid crystal display element can be enlarged and the area can be expanded, as explained above, especially since it does not have reduction of the wiring width of face accompanying formation of an inspection pad while easy-izing of the characteristic inspection in a high-density liquid crystal display element is possible, the good quality liquid crystal display element of the yield can be offered.

[Translation done.]

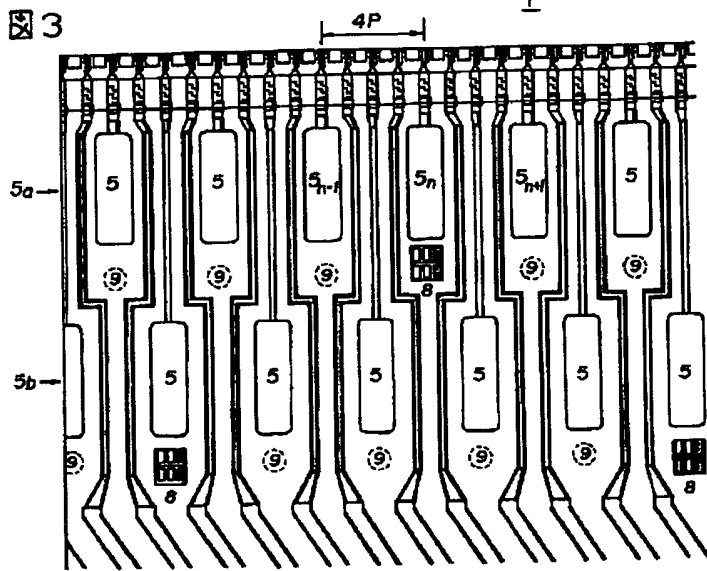
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

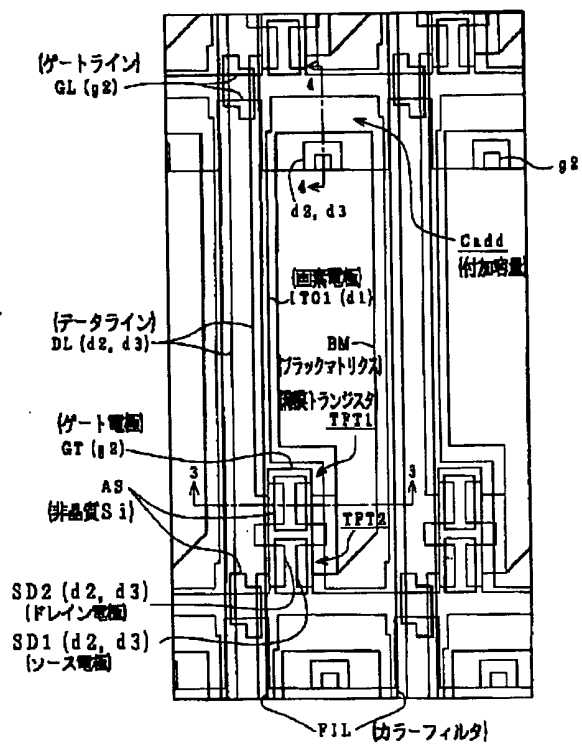
[Drawing 3]



[Drawing 5]

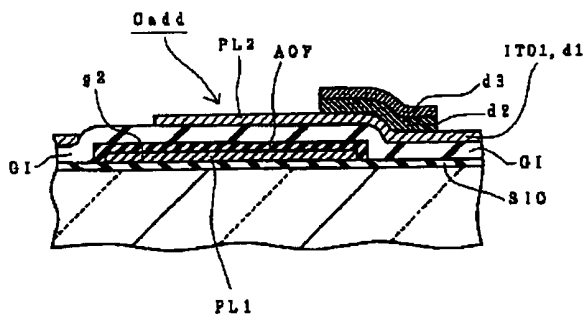
[Drawing 1]

図 4



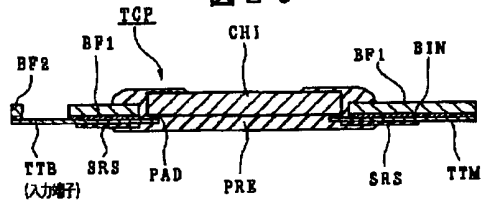
[Drawing 6]

図 6



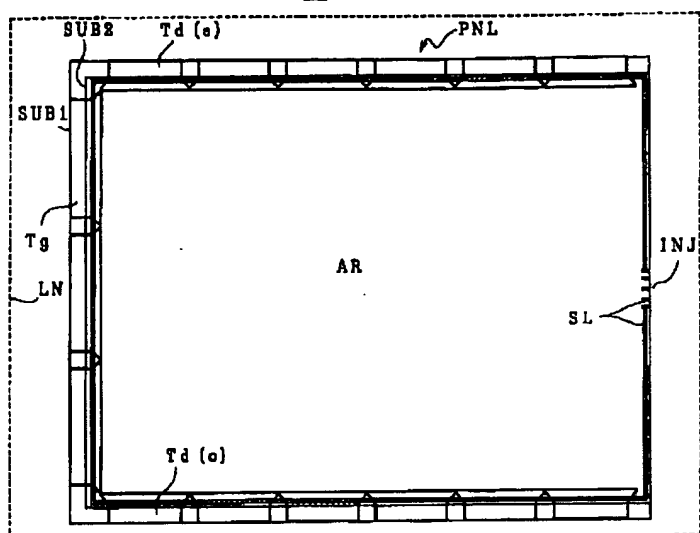
[Drawing 20]

図 20



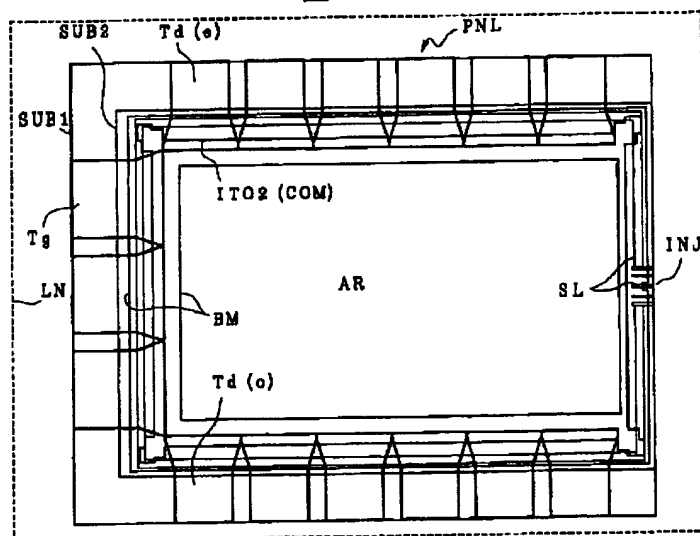
[Drawing 7]

図 7



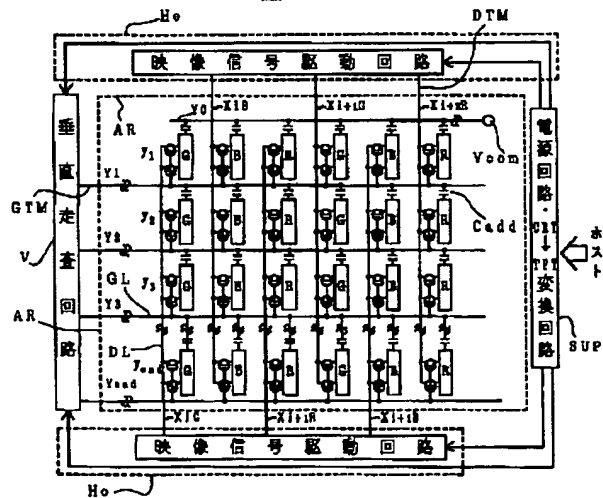
[Drawing 8]

図 8

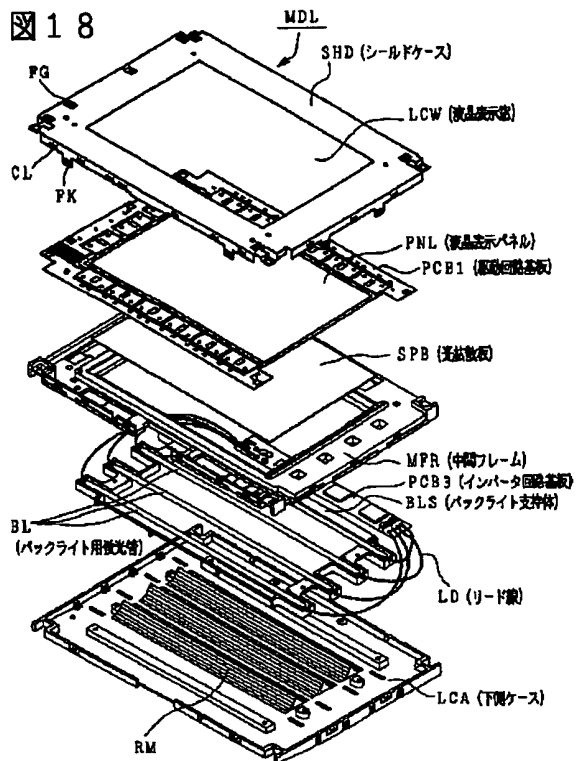


[Drawing 14]

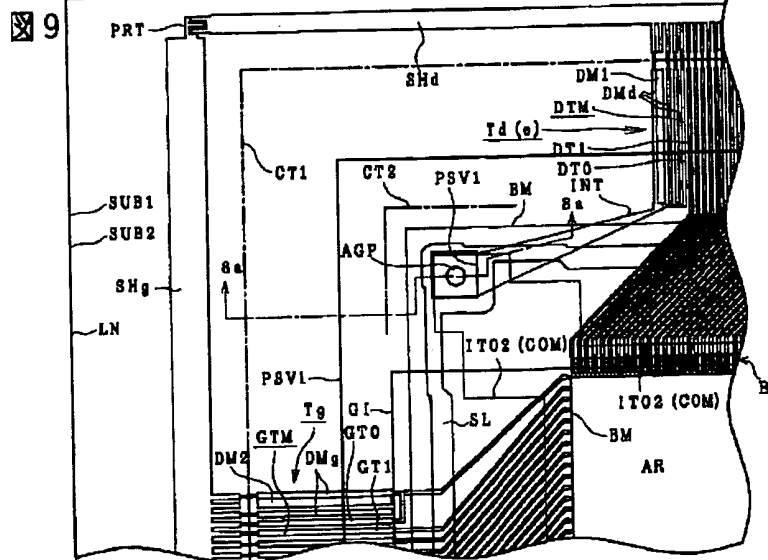
図 14



[Drawing 18]

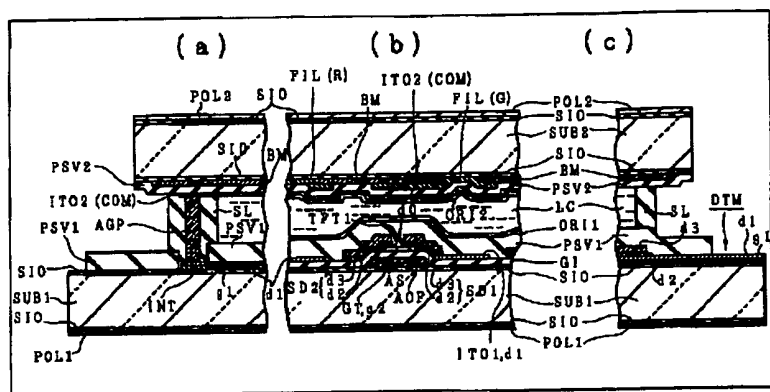


[Drawing 9]



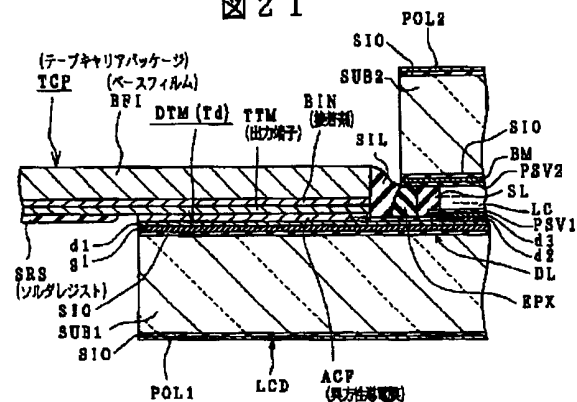
[Drawing 10]

図 10



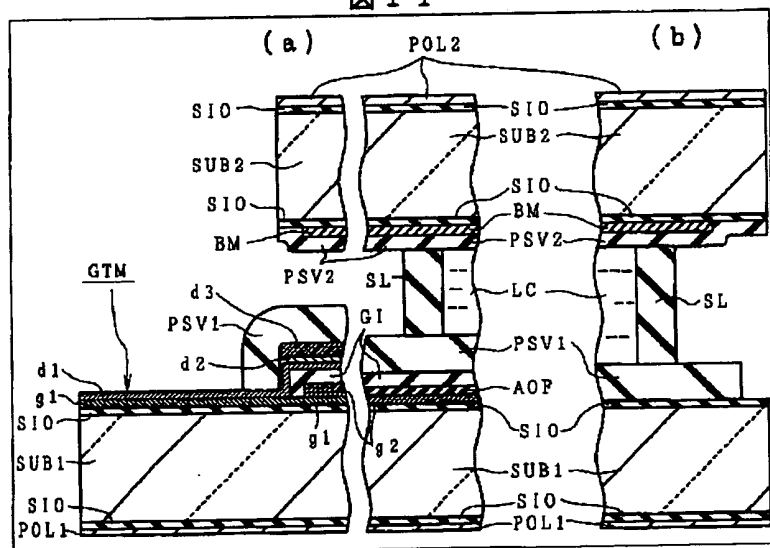
[Drawing 21]

図 21



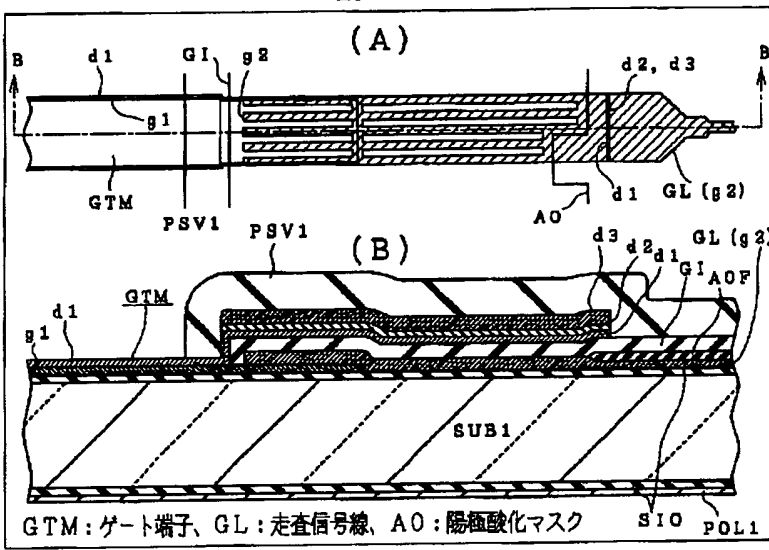
[Drawing 11]

図 11



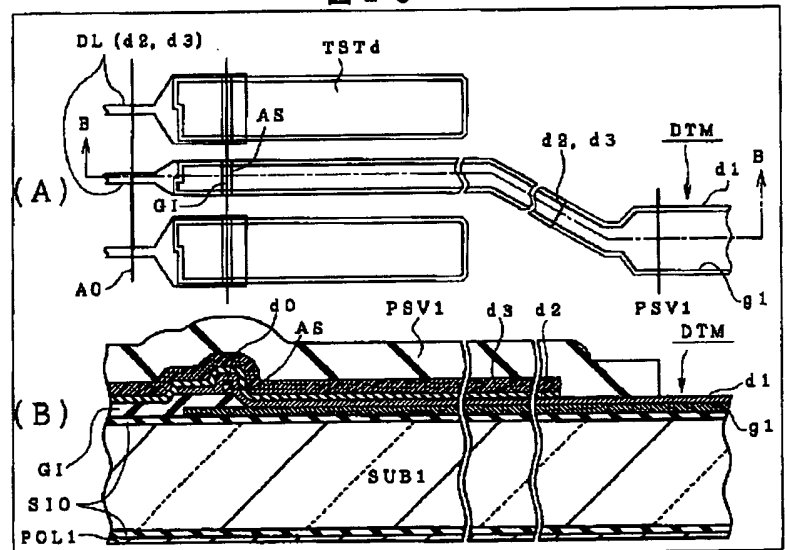
[Drawing 12]

図 1 2



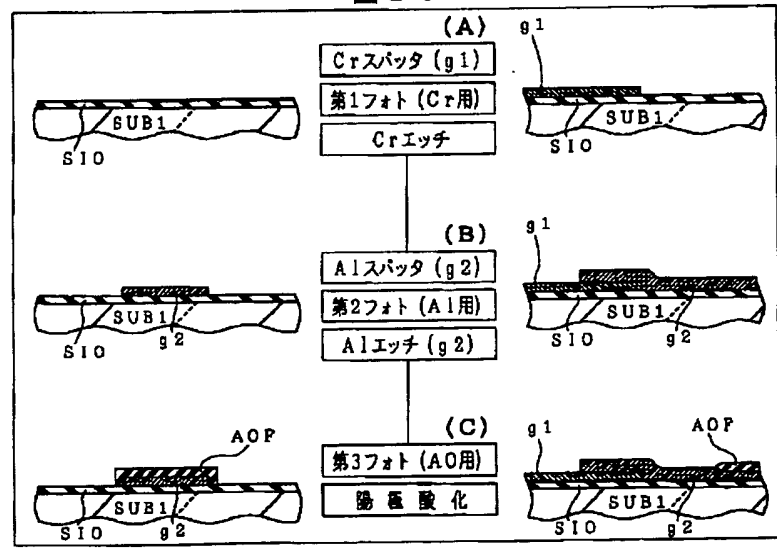
[Drawing 13]

図 1 3



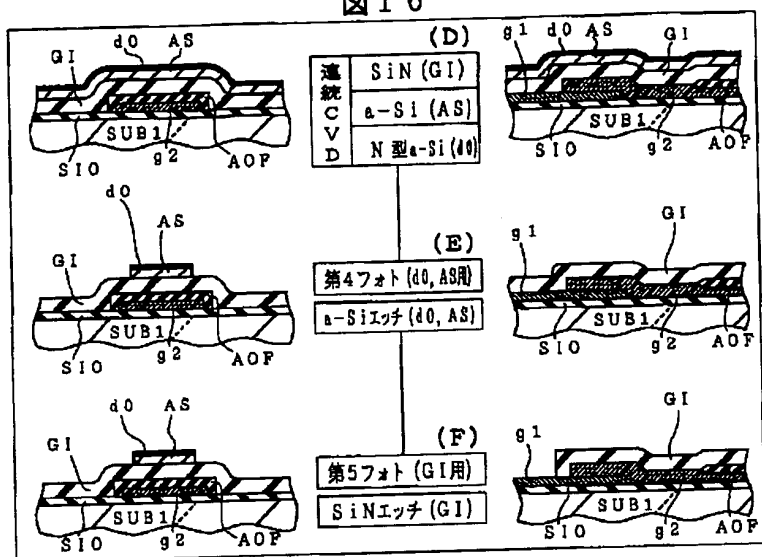
[Drawing 15]

図 1 5



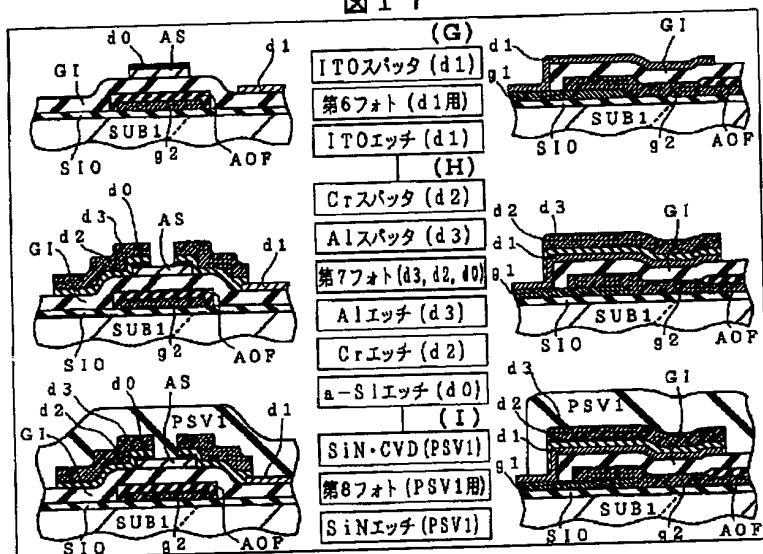
[Drawing 16]

図 16



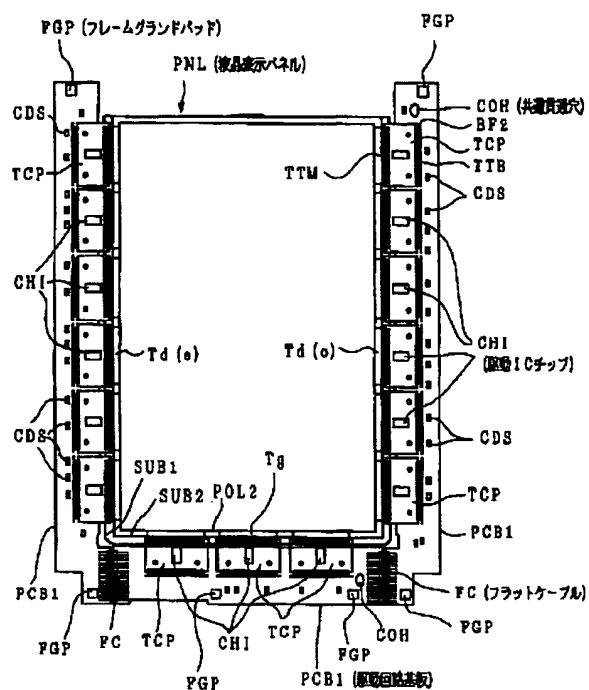
[Drawing 17]

図 17



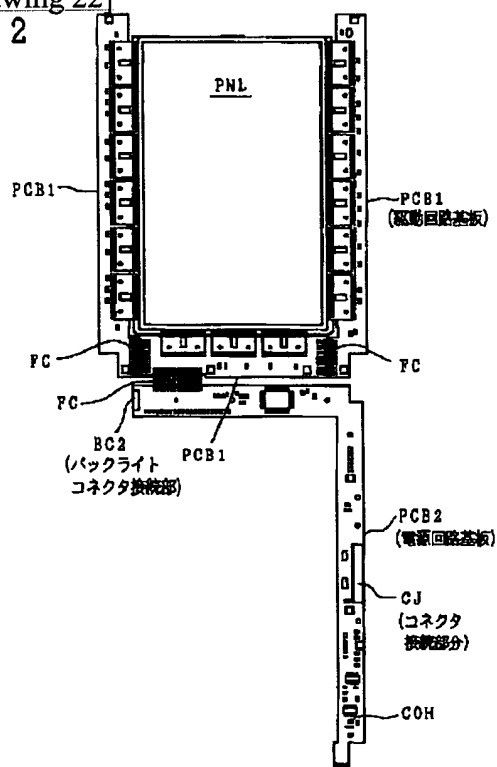
[Drawing 19]

図 19

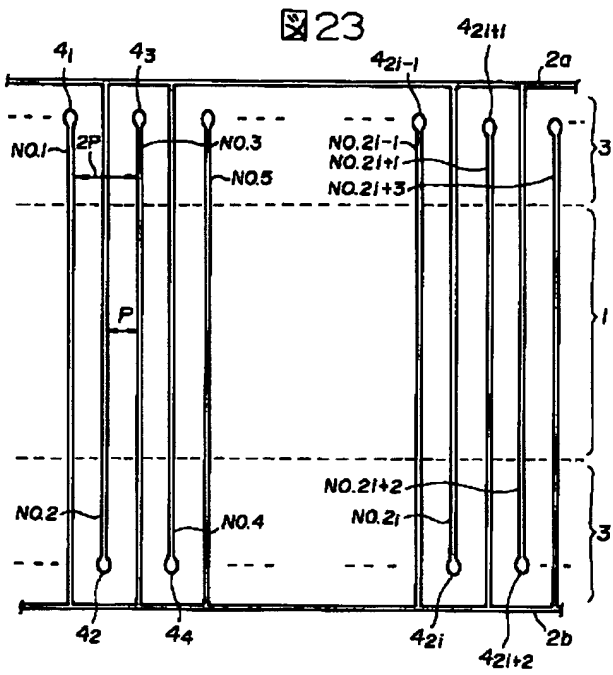


[Drawing 22]

図 22



[Drawing 23]



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199210

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

G02F 1/1345
G01R 31/00
H01L 29/786

(21)Application number : 06-000148

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 05.01.1994

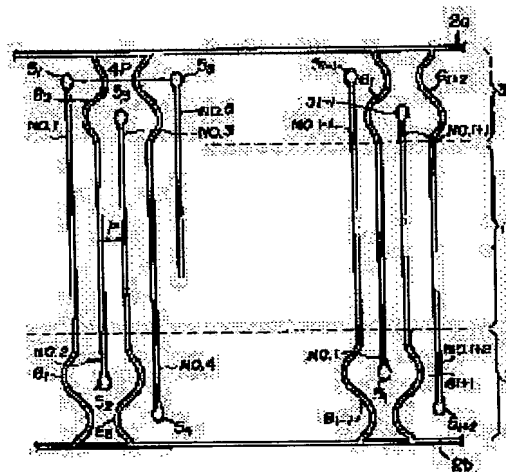
(72)Inventor : MATSUMOTO SHINZO
TSUMURA MAKOTO
HIROHATA SHIGEKI
MATSUNAGA KUNYUKI
ISHIGE NOBUYUKI

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To provide a liquid crystal display element of high fineness with which inspection pads necessary for characteristic inspection using probers are sufficiently assured.

CONSTITUTION: This liquid crystal display element is constituted by encapsulating liquid crystals between a driving electrode substrate provided with switching elements in correspondence to each of many pixel electrodes arranged in a matrix form on a transparent substrate and a common electrode substrate formed with a common electrode on a transparent substrate. The inspection pads 5i formed at the ends of terminal drawing out line of at least one No. 61 of the many scanning lines and many signal lines formed on the driving electrode substrate are disposed at the same wiring drawing out parts 3 on each of the even side and odd side of the drawing out wires. The inspection pads 5i in the respective wiring drawing out line parts 3 are formed zigzag along the arranging direction of these inspection pads.



LEGAL STATUS

[Date of request for examination] 20.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3272848
[Date of registration]	25.01.2002
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3272848号
(P3272848)

(45) 発行日 平成14年 4 月 8 日 (2002. 4. 8)

(24) 登録日 平成14年 1 月 25 日 (2002. 1. 25)

(51) Int.Cl.⁷ 識別記号
G 0 2 F 1/1345
G 0 1 R 31/00
G 0 9 F 9/30 3 3 8
H 0 1 L 29/786

F I
G 0 2 F 1/1345
G 0 1 R 31/00
G 0 9 F 9/30 3 3 8
H 0 1 L 29/78 6 2 4

請求項の数 3 (全 20 頁)

(21) 出願番号 特願平6-148
(22) 出願日 平成 6 年 1 月 5 日 (1994. 1. 5)
(65) 公開番号 特開平7-199210
(43) 公開日 平成 7 年 8 月 4 日 (1995. 8. 4)
審査請求日 平成12年11月20日 (2000. 11. 20)

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地
(73) 特許権者 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(72) 発明者 松本 信三
千葉県茂原市早野3300番地 株式会社
日立製作所電子デバイス事業部内
(72) 発明者 津村 誠
茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内
(74) 復代理人 100093506
弁理士 小野寺 洋二 (外 1 名)
審査官 井口 猶二

最終頁に続く

(54) 【発明の名称】 液晶表示素子

1

(57) 【特許請求の範囲】

【請求項 1】 透明基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応してスイッチング素子を設けた駆動電極基板と、透明基板に共通電極を形成した共通電極基板との間に液晶を封入してなる液晶表示素子において、
前記駆動電極基板に形成した多数の走査線および多数の信号線の少なくとも一方の端子引出し線の端部に形成する検査パッドを、上記引出し線の偶数側および奇数側のそれぞれ毎に同一の配線引出し部に設けると共に、各配線引出し部における上記検査パッドがそれぞれ当該検査パッドの配列方向に沿って千鳥状に形成されてなることを特徴とする液晶表示素子。

【請求項 2】 透明基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応してスイッチング素子を

2

設けた駆動電極基板と、透明基板に共通電極を形成した共通電極基板との間に液晶を封入してなる液晶表示素子において、
前記駆動電極基板に形成した多数の走査線および多数の信号線の少なくとも一方の端子引出し配線の端部に形成する検査パッドを、上記端子引出し線の偶数側および奇数側のそれぞれ毎に同一の配線引出し部に設け、各配線引出し部における上記検査パッドがそれぞれ当該検査パッドの配列方向に沿って千鳥状に形成されると共に、上記検査パッドに接続する配線のナンバリング位置を前記検査パッドの延長線上に配置してなることを特徴とする液晶表示素子。

【請求項 3】 透明基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応してスイッチング素子を設けた駆動電極基板と、透明基板に共通電極を形成した

(2)

3

共通電極基板との間に液晶を封入してなる液晶表示素子において、前記駆動電極基板に形成した多数の走査線および多数の信号線の少なくとも一方の端子引出し配線の端部に形成する検査パッドを、上記引出し線の偶数側および奇数側のそれぞれ毎に同一の配線引出し部に設け、各配線引出し部における上記検査パッドがそれぞれ当該検査パッドの配列方向に沿って千鳥状に形成され、上記検査パッドに接続する配線のナンバリング位置を前記検査パッドの延長線上に配置してなると共に、前記検査パッドに接触させて各種特性検査を行うためのプローバの平行出しのためのエッジセンサを接触させる個所を前記ナンバリングの存在しない前記透明基板部分に設定したことを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示素子に係り、特に薄膜トランジスタ等の非線型素子をマトリクス状に配列してなるアクティブ・マトリクス方式の液晶表示素子に関する。

【0002】

【従来の技術】液晶表示素子として現在、単純マトリクス型（所謂、TNあるいはSTN型等）とアクティブ・マトリクス型（所謂、TFT型等）が広く知られている。

【0003】この種の液晶表示素子うち、解像度、明るさ、その他の画像表示特性の点から、TFT型に代表されるアクティブ・マトリクス方式の液晶表示素子が主流になりつつある。

【0004】TFT型のアクティブ・マトリクス方式の液晶表示素子は、透明ガラス基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）として薄膜トランジスタ（TFT）を設けた駆動電極基板（以下、TFT基板という）と、透明ガラス基板にカラーフィルタと共通電極を形成した共通電極基板との間に液晶を封入してなり、TFT基板のソース電極とフィルタ基板の共通電極との間に介挿した液晶の分子軸を変更することによって1画素の表示を形成するものである。なお、モノクロの液晶表示装置では共通電極基板には共通電極のみを形成するが、こ

こでは、カラー表示の液晶表示装置で説明するので、以下では共通電極基板をフィルタ基板とも称することにす

る。

【0005】各画素における液晶は、理論的には常時駆動（デューティ比1.0）されているので、所謂単純マトリクス方式の液晶表示装置と較べてコントラストが良いという特性を有しているものである。

【0006】なお、TFTを使用したアクティブ・マトリクス方式の液晶表示素子は、例えば特開昭63-309921号公報や、「冗長構成を採用した12.5型ア

4

クティブ・マトリクス方式カラー液晶ディスプレイ」

（日経エレクトロニクス、1986年12月15日、日経マグローヒル社発行、第193～210頁）に開示がある。

【0007】

【発明が解決しようとする課題】この種のTFT方式液晶表示素子において、各TFTは、テープ・キャリア・パッド（TCP）と称する多数の電極パターンを備えた配線部材に搭載された駆動ICチップに、そのゲート線（走査線：以下ゲートラインとも言う）、ドレイン線（信号線：以下データラインとも言う）等を接続して駆動される。

【0008】このTCPの端子と液晶表示素子の上記各ラインの引出し線は、異方性導電膜を介して電氣的に接続される。

【0009】そして、その有効画面領域の上記ゲートラインおよびドレイン線からの配線引出し部には、上記駆動ICチップに接続するための引出端子パターン（端子引出し線）に、上記有効領域の断線や短絡等の特性を試

験する検査パッドが設けられている。

【0010】この試験は、上記検査パッドにプローバと称する検査子を接触させて各種の試験を行う。

【0011】図23は従来の液晶表示素子における検査パッドの構成を説明する模式図であって、1は有効画面領域、2a、2bは引出し線短絡線、3は有効画面領域から引出し線短絡線までの配線引出し部、4（4₁、4₂、4₃、4₄、・・・4_{2i-1}、4_{2i}、4_{2i+1}、・・・）は検査パッドである。なお、有効画面領域1における配線ライン間隔（すなわち、画素ピッチ）をPとする。

【0012】同図において、検査パッド4（4₁、4₂、4₃、4₄、・・・4_{2i-1}、4_{2i}、4_{2i+1}、・・・）は、配線ライン番号（No. 1, No. 2, No. 3, No. 4, ... No. (2_{i-1}), (2_i), (2_{i+1}), ...）を奇数側と偶数側とに分けて互い違いに引き出し、その奇数側引出し線（No. 1, No. 3, No. 5, ... No. 2_{i-1}, No. 2_{i+1}, No. 2_{i+3}, ...）と偶数側引出し線（No. 2, No. 4, ... No. 2_i, No. 2_{i+2}, ...）のそれぞれの引出し線の端部に設けている。従つて、検査パッド4のピッチは2Pである。

【0013】高精細度の液晶表示素子では、配線のピッチPが小さくなるため、上記のような構成ではプローバでの検査に必要な通常100μm幅以上の面積で検査パッド4を形成することは困難である。

【0014】例えば、P=68μmの液晶表示素子では、2P=136μmとなり、検査パッド4の幅として100μmを確保すると、残り36μm以内に配線を1本介在させなければならず、断線や短絡の発生が多くなって歩留まりの低下をもたらす。

(3)

5

【0015】さらに、欠陥検査時に必要な位置決定用のナンバリングや、プローバ平行出しのためのスペースも必要であるが、パターンが密なためにこれらの確保が困難であった。

【0016】本発明の目的は、プローバを用いた特性検査に必要な検査パッドを十分に確保した高精細度の液晶表示素子を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1に記載の発明は、透明基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応してスイッチング素子を設けた駆動電極基板と、透明基板に共通電極を形成した共通電極基板との間に液晶を封入してなる液晶表示素子において、前記駆動電極基板に形成した多数の走査線および多数の信号線の少なくとも一方の端子引出し線の端部に形成する検査パッドを、上記引出し線の偶数側および奇数側のそれぞれ毎に同一の配線引出し部に設けると共に、各配線引出し部における上記検査パッドがそれぞれ当該検査パッドの配列方向に沿って千鳥状に形成されてなることを特徴とする。

【0018】また、本発明の請求項2に記載の発明は、透明基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応してスイッチング素子を設けた駆動電極基板と、透明基板に共通電極を形成した共通電極基板との間に液晶を封入してなる液晶表示素子において、前記駆動電極基板に形成した多数の走査線および多数の信号線の少なくとも一方の端子引出し配線の端部に形成する検査パッドを、上記端子引出し線の偶数側および奇数側のそれぞれ毎に同一の配線引出し部に設け、各配線引出し部における上記検査パッドがそれぞれ当該検査パッドの配列方向に沿って千鳥状に形成されると共に、上記検査パッドに接続する配線のナンバリング位置を前記検査パッドの延長線上に配置してなることを特徴とする。

【0019】さらに、本発明の請求項3に記載の発明は、透明基板上にマトリクス状に配列された多数の画素電極のそれぞれに対応してスイッチング素子を設けた駆動電極基板と、透明基板に共通電極を形成した共通電極基板との間に液晶を封入してなる液晶表示素子において、前記駆動電極基板に形成した多数の走査線および多数の信号線の少なくとも一方の端子引出し配線の端部に形成する検査パッドを、上記引出し線の偶数側および奇数側のそれぞれ毎に同一の配線引出し部に設け、各配線引出し部における上記検査パッドがそれぞれ当該検査パッドの配列方向に沿って千鳥状に形成され、上記検査パッドに接続する配線のナンバリング位置を前記検査パッドの延長線上に配置してなると共に、前記検査パッドに接触させて各種特性検査を行うためのプローバの平行出しのためのエッジセンサを接触させる個所を前記ナンバリングの存在しない前記透明基板部分に設定したことを特徴とする。

6

【0020】なお、上記の検査パッド位置に隣接する配線引出し線は、千鳥状に配列された上記検査パッドとの間隔が大きくなるように湾曲または折曲させることによって検査パッドの面積を増大させることも可能である。

【0021】

【作用】上記請求項1に記載の発明の構成により、検査パッドの幅は配線ピッチをPとしたとき4Pとなり、プローバによる特性検査時に当該プローバを当接させるための十分な面積が確保される。これによって、上記特性検査が容易になる。

【0022】また、請求項2に記載の発明の構成により、ナンバリングの形成が容易となる。

【0023】さらに、請求項3に記載の発明の構成により、プローブのエッジセンサをパターンの存在しない個所で平行出しすることが可能となり、パターンの存在による検出不良を回避し、正確な特性検査を行うことができる。

【0024】

【実施例】以下、本発明の実施例につき、図面を参照して詳細に説明する。

【0025】図1は本発明による液晶表示素子の1実施例の要部構成を説明する模式図であって、1は有効画面領域、2a、2bは引出し線短絡線、3は有効画面領域から引出し線短絡線までの配線引出し部、5(5₁, 5₂, 5₃, 5₄, ..., 5_{2i-1}, 5_{2i}, 5_{2i+1}, ...)は検査パッドである。なお、No. 1~No. i+2は配線番号であり、有効画面領域1における配線ライン間隔(すなわち、画素ピッチ)をPとする。

【0026】同図において、検査パッド5(5₁, ~5_{i+2})は、配線ライン番号(No. 1, 2, 3, 4, ..., 2_{i-1}, 2_i, 2_{i+1}, 2_{i+2}, ...)を偶数側と奇数側とに分け、当該各側の検査パッドの配列方向に沿って互い違いに千鳥状の配置に引き出すと共に、その各々の引出し線を検査パッド5(5₁, 5₂, 5₃, 5₄, ..., 5_{i-1}, 5_i, 5_{i+1}, ...)を迂回するように湾曲または曲折形状部(以下、湾曲部と言う)6₁, 6₂, 6₃, ..., 6_{i-1}, 6_i, 6_{i+1}, 6_{i+2}, ...を設けている。

【0027】これにより、引出し線の配列方向におけるパッド5(例えば、5₁~5₅)のピッチは4Pとなる。

【0028】例えば、前記した寸法例と同様に、P=68μmとすると、4P=272μmと大きくなる。このため、特性検査の作業が容易になり、パッド間配線の歩留まりの低下を回避することができる。

【0029】図2は本発明による液晶表示素子の1実施例における有効領域の配線部近傍のパターンの説明図であって、1は有効領域、2は引出し線短絡線、3は配線引出し部、3aは切断線、3bはTCP接続部、7は検査パッド部である。

(4)

7

【0030】同図において、特性検査実行時には、検査装置の検査端子の一端を引出し線短絡部2に接触させ、プローブを構成する複数の探針を検査パッド部7の検査パッドに接触させる。

【0031】検査の結果、製品として合格したものについては、TCP接続部3bに駆動ICを搭載したTCPを異方性導電体を介して接続し、切断線3aのそって引出し線短絡部2を切断除去する。

【0032】図3は図2のA部の拡大図であって、5は検査パッド、8はナンバリング、9はナンバリングの存在しない部分である。

【0033】検査パッド5はその配列方向にそって千鳥状に配列され、千鳥状配列は図中の上段側列5aと下段側列5bで構成される。

【0034】同図において、例えば検査パッド5_nについて説明すると、この検査パッド5_nは図1における配線No. 2に接続する検査パッド5₂に相当する。

【0035】検査パッド5₂は隣接する配線引出し線6_nと6_mで挟まれた位置に形成される。配線引出し線6_nと6_mは検査パッド5₂の位置で、当該検査パッド5₂を迂回するように湾曲されている。したがって、検査パッド5₂の形成部分には十分な面積が得られ、大面積の検査パッドが形成される。

【0036】そして、検査パッド5₂の延長上には配線番号を示すナンバリング8が形成されている。このナンバリング8は検査パッドの配列における所々に形成され、欠陥位置の確認に使用される。

【0037】また、ナンバリング8が形成されない部分9は、プローブの並行出し用エッジセンサの当接スペースとなり、直接ガラス板にエッジセンサを接触させることで、電極パターン等の存在による微小電流の発生がないため、並行出し検出不良を招くことがない。

【0038】このような構成としたことにより、前記したように、検査パッド間の間隔を配線ピッチPの4倍とすることができ、また配線幅を狭くする必要がないので配線の断線や短絡を低減させることができる。

【0039】なお、上記検査パッドの形状、引出し線の湾曲形状、ナンバリングの形状、その他の形状構造は、上記実施例に示したものに限るものではなく、また、TF T型以外の、例えば単純マトリクス型液晶表示素子にも適用できるものであることは言うまでもない。

【0040】以下、本発明をTF T型液晶表示装置に適用した具体例について説明する。

【0041】《マトリクス部の概要》図4はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図5は図4の3-3切断線における断面図、図6は図4の4-4切断線における断面図である。

【0042】図4に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GL

8

と、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。

【0043】各画素は薄膜トランジスタTF T、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0044】図5に示すように、液晶層LCを基準にして下部透明ガラス基板（下透明基板）SUB1側には薄膜トランジスタTF Tおよび透明画素電極（下透明導電膜）ITO1が形成され、上部透明ガラス基板（上透明基板）SUB2側にはカラーフィルタFIL、遮光用のブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0045】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極（上透明導電膜）ITO2（COM）および上部配向膜（上配向膜）ORI2が順次積層して設けられている。

【0046】《マトリクス周辺の概要》図7は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面図、図8はその周辺部を更に誇張した平面図、図9は図7及び図8のパネル左上角部に対応するシール部SL付近の拡大平面図である。図9の矢印Bで示した部分に前記本発明が適用される。

【0047】また、図10は図5の断面を中央にして、左側に図9の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す断面図である。

【0048】同様に、図11は左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す断面図である。

【0049】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のために、どの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図7～図9は後者の例を示すもので、図7、図8の両図とも上下基板SUB1、SUB2の切断後を、また図9は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそ

9

れらを露出するように上側基板SUB 2の大きさが下側基板SUB 1よりも内側に制限されている。

【0050】端子群Tg, Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP(図20、図21で後述)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM, GTMを合わせるためである。

【0051】透明ガラス基板SUB 1, SUB 2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。このシール材は例えばエポキシ樹脂から成る。

【0052】上部透明ガラス基板SUB 2側の共通透明画素電極ITO 2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB 1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0053】配向膜ORI 1, ORI 2、透明画素電極ITO 1、共通透明画素電極ITO 2、それぞれの層は、シールパターンSLの内側に形成される。

【0054】偏光板POL 1, POL 2はそれぞれ下部透明ガラス基板SUB 1, 上部透明ガラス基板SUB 2の外側の表面に形成されている。

【0055】液晶LCは液晶分子の向きを設定する下部配向膜ORI 1と上部配向膜ORI 2との間でシールパターンSLで仕切られた領域に封入されている。

【0056】下部配向膜ORI 1は下部透明ガラス基板SUB 1側の保護膜PSV 1の上部に形成される。

【0057】この液晶表示装置は、下部透明ガラス基板SUB 1側、上部透明ガラス基板SUB 2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB 2側に形成し、下部透明ガラス基板SUB 1と上部透明ガラス基板SUB 2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0058】《薄膜トランジスタTFT》次に、図4、図5に戻って、TFT基板SUB 1側の構成を詳しく説明する。薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0059】各画素には複数(2つ)の薄膜トランジスタTFT 1, TFT 2が冗長して設けられる。薄膜トラ

(5)

10

ンジスタTFT 1, TFT 2のそれぞれは、実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成され、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD 1、ドレイン電極SD 2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0060】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT 1, TFT 2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT 1, TFT 2のそれぞれのゲート電極GTは、一体に(共通のゲート電極として)構成されており、走査信号線GLに連続して形成されている。

【0061】本例では、ゲート電極GTは単層の第2導電膜g 2で形成されている。第2導電膜g 2としては例えばスパッタで形成されたアルミニウム(Al)膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

【0062】このゲート電極GTはi型半導体層ASを完全に覆うよう(下方からみて)にそれより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0063】《走査信号線GL》走査信号線GLは第2導電膜g 2で構成されている。この走査信号線GLの第2導電膜g 2はゲート電極GTの第2導電膜g 2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。

【0064】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT 1, TFT 2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。

【0065】絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例では、2000Å程度)形成される。

【0066】ゲート絶縁膜GIは図9に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM, GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電氣的絶縁にも寄与している。

【0067】《i型半導体層AS》i型半導体層AS

50

(6)

11

は、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに（本実施例では、2000Å程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0068】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0069】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0070】透明画素電極ITO1は、薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000~2000Åの厚さに（本例では、1400Å程度の膜厚）形成される。

【0071】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0072】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに（本実施例では、600Å程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、200Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0073】第3導電膜d3はAlのスパッタリングで3000~5000Åの厚さに（本実施例では、4000Å程度）形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DL

12

の抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステッピングバーレージを良くする）働きがある。

【0074】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0075】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0076】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0077】保護膜PSV1は図9に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って、図9に示すように、保護効果の高い保護膜PSV1は周辺部でもできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0078】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図4に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。

【0079】遮光膜BMは光に対する遮蔽性の高い、たとえばアルミニウム膜やクロム膜等で形成されており、本例ではクロム膜がスパッタリングで1300Å程度の厚さに形成される。

【0080】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは、上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

13

【0081】遮光膜BMは各画素の周囲に格子状に形成され(所謂、ブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0082】透明画素電極ITO1のラビング方向の根本側のエッジ部分(図4右下部分)も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0083】遮光膜BMは図8に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図4に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図8～図11に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0084】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0085】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0086】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0087】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)に応答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。

【0088】本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと

(7)

14

最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図8、図9を参照されたい。

【0089】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図6からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。

【0090】この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0091】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。

【0092】なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0093】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0094】《ゲート端子部》図12は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造の説明図であって、(A)は平面図、(B)は(A)のB-B切断線における断面図である。なお、同図は図9下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0095】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。

【0096】同図(A)において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。

【0097】マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0098】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化されない領域は櫛状にパタ

15

ーニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本実施例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0099】ゲート端子GTMは酸化珪素SIO層と接着性が良くA1等よりも耐電蝕性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。

【0100】なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0101】上記平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図9に示すように上下に複数本並べられ端子群Tg（図8、図9）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され、配線SHgによって短絡される。

【0102】製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0103】《ドレイン端子DTM》図13は映像信号線DLからその外部接続端子DTMまでの接続の説明図であって、(A)はその平面図、(B)は(A)のB-B切断線における断面図である。なお、同図は図9右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0104】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。

【0105】検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図9に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。

(8)

16

【0106】検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0107】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。

10 【0108】ゲート絶縁膜GIの端部に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。

【0109】AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

20 【0110】マトリクス部からドレイン端子部DTMまでの引出配線は図10の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0111】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図14に示す。
30 同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0112】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0113】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶
40 数）映像信号駆動回路Hoに接続され、走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0114】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTF T液晶表示装置用の情報に交換する回路を含む回路である。

50 【0115】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTF Tがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化ΔVgの影響を低減するように働く。この様子

17

を式で表すと、次のようになる。

【0116】

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、 C_{gs} は薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、 C_{pix} は透明画素電極ITO1 (PIX) と共通透明画素電極ITO2 (COM) との間に形成される容量、 ΔV_{lc} は ΔV_g による画素電極電位の変化分を表わす。

【0117】この変化分 ΔV_{lc} は液晶LCに加わる直流成分の原因となるが、保持容量 C_{add} を大きくすればする程、その値を小さくすることができる。また、保持容量素子 C_{add} は放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0118】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、中点電位 V_{lc} はゲート（走査）信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、保持容量素子 C_{add} を設けることによりこのデメリットも解消することができる。

【0119】保持容量素子 C_{add} の保持容量は、画素の書込特性から、液晶容量 C_{pix} に対して4～8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、寄生容量 C_{gs} に対して8～32倍（ $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ）程度の値に設定する。

【0120】保持容量電極線としてのみ使用される初段の走査信号線GL (Y_0) は共通透明画素電極ITO2 (V_{com}) と同じ電位にする。図9の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線 Y_0 は最終段の走査信号線 Y_{end} に接続、 V_{com} 以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルス Y_0 を受けるように接続してもよい。

【0121】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図15～図17を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図5に示す画素部分、右側は図12に示すゲート端子付近の断面形状でみた加工の流れを示す。

【0122】また、工程Dを除き工程A～工程Iは各写真処理に対応して分けられたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。

【0123】なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを

(9)

18

現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下分けした工程に従って、説明する。

【0124】工程A、図15

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0125】工程B、図15

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

工程C、図15

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cmになるように調整する（定電流化成）。

【0126】次に、所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0127】工程D、図16

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0128】工程E、図16

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0129】工程F、図16

50

(10)

19

写真処理後、ドライエッチングガスとして SF_6 を使用して、窒化 Si 膜を選択的にエッチングする。

【0130】工程G、図17

膜厚が 1400\AA のITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0131】工程H、図17

膜厚が 600\AA のCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が 4000\AA のAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。

【0132】写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。

【0133】つぎに、ドライエッチング装置にCCl₄、 SF_6 を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0134】工程I、図17

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $1\mu\text{m}$ の窒化Si膜を設ける。写真処理後、ドライエッチングガスとして SF_6 を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0135】《液晶表示モジュールの全体構成》図18は液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0136】SHDは金属板から成る枠状のシールドケース(メタルフレーム)、LCWはその表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0137】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKによって全体が固定されるようになっている。

【0138】中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体BLS並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0139】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管BLに対応して反射山RMが形成されている。

20

【0140】《表示パネルPNLと駆動回路基板PCB1》図19は、図7等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。

【0141】CHIは表示パネルPNLを駆動させる駆動ICチップ(下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ)である。

【0142】TCPは図20、図21で後述するように駆動用ICチップCHIがテープ・オートメイト・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCDS等が実装された駆動回路基板で、3つに分割されている。

【0143】FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。

【0144】このフラットケーブルFCとしては図に示すように、複数のリード線(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0145】《TCPの接続構造》図20は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図21はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0146】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であって、例えばCuから成り、それぞれの内側の先端部(通称インナーリード)には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。

【0147】パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されている。従って、外部接続端子DTM(GTM)は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0148】BF1はポリイミド等からなるベースフィ

(11)

21

ルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。

【0149】シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0150】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図22に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ポスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。

【0151】CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電氣的に接続される。

【0152】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電氣的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0153】以上の具体例に示したように、本発明による液晶表示素子は信頼性の高い液晶表示装置を提供できる。

【0154】

【発明の効果】以上説明したように、本発明によれば、液晶表示素子の検査パッドピッチを大きくでき、またその面積を拡大することができるため、特に高密度の液晶表示素子における特性検査の容易化が可能であると共に、検査パッドの形成に伴う配線幅の低減をようしないため、歩留りの良好な高品質の液晶表示素子を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示素子の1実施例の要部構成を説明する模式図である。

【図2】本発明による液晶表示素子の1実施例における有効領域の配線部近傍のパターンの説明図である。

【図3】図2のA部の拡大図である。

【図4】本発明を適用したTFT型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図5】図4の3-3切断線における1画素とその周辺を示す断面図である。

22

【図6】図2の4-4切断線における付加容量Caddの断面図である。

【図7】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図8】図7の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図9】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図10】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図11】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図12】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図13】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図14】アクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図15】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図17】基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図18】液晶表示モジュールの分解斜視図である。

【図19】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図20】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図21】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図22】周辺駆動回路基板PCB1（上面が見える）と電源回路回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【図23】従来の液晶表示素子における検査パッドの構成を説明する模式図である。

【符号の説明】

1 有効画面領域

2a, 2b 引出し線短絡線

3 有効画面領域から引出し線短絡線までの配線引出し部

5 (5₁, 5₂, 5₃, 5₄, … 5_{2i-1}, 5_{2i}, 5_{2i+1}, …) 検査パッド

50 No. 1～No. i+2 配線番号

(12)

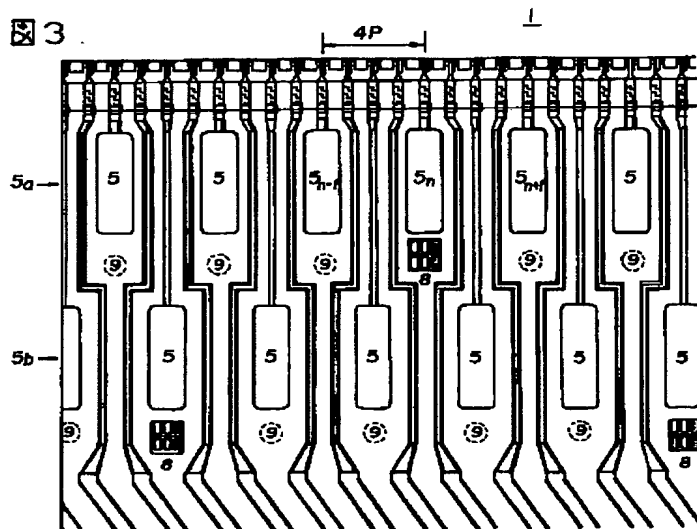
23

$6_1, 6_2, 6_3, \dots, 6_{i-1}, 6_i, 6_{i+1}, \dots, 6_{i+2}, \dots$ 湾曲部
 SUB 透明ガラス基板
 GL 走査信号線
 DL 映像信号線
 GI 絶縁膜
 GT ゲート電極
 AS i型半導体層
 SD ソース電極またはドレイン電極
 PSV 保護膜
 BM 遮光膜
 LC 液晶
 TFT 薄膜トランジスタ

24

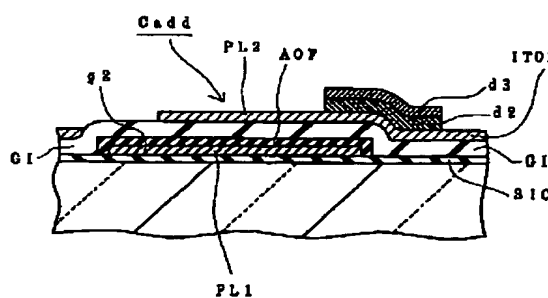
ITO 透明画素電極
 g、d 導電膜
 Cadd 保持容量素子
 AOF 陽極酸化膜
 AO 陽極酸化マスク
 GTM ゲート端子
 DTM ドレイン端子
 SHD シールドケース
 PNL 液晶表示パネル
 10 SPB 光拡散板
 MFR 中間フレーム
 BL バックライト
 BLS バックライト支持体。

【図3】



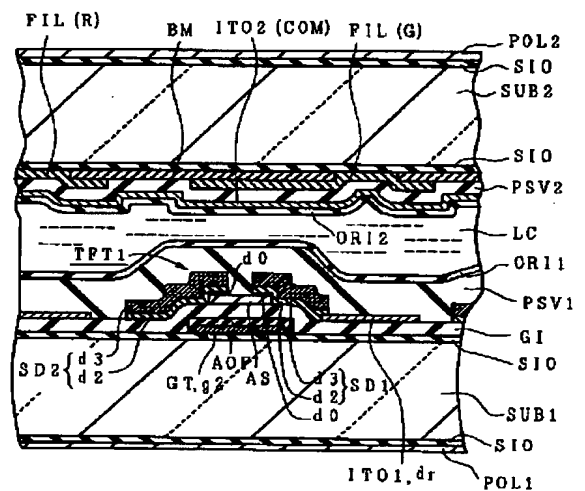
【図6】

図 6



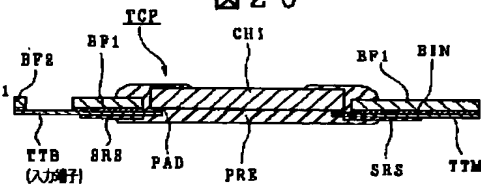
【図5】

図 5



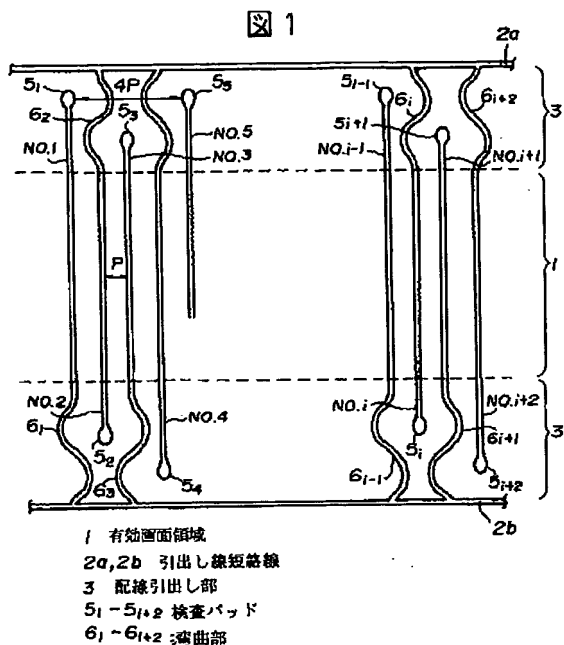
【図20】

図 20

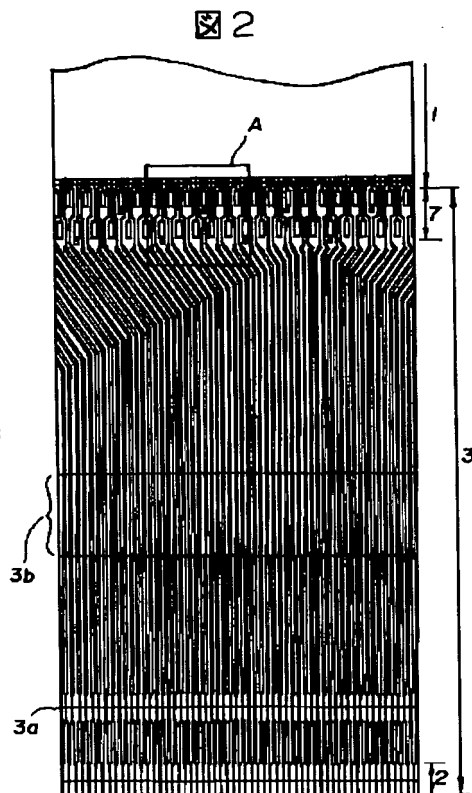


(13)

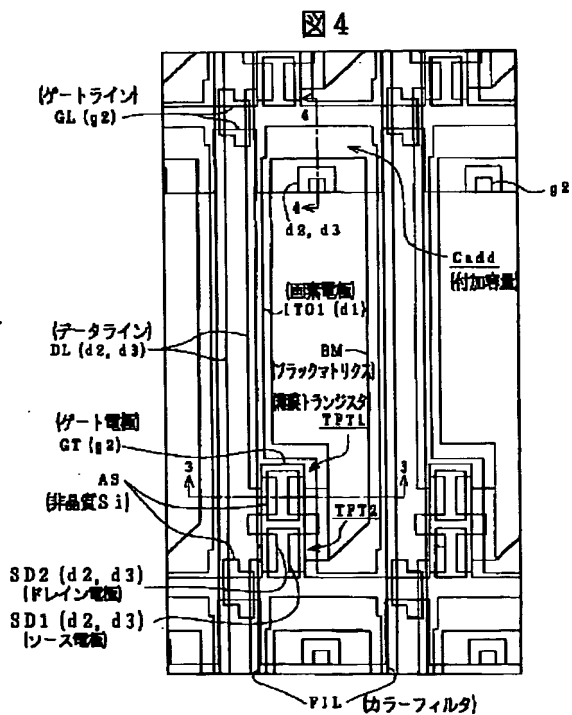
【図1】



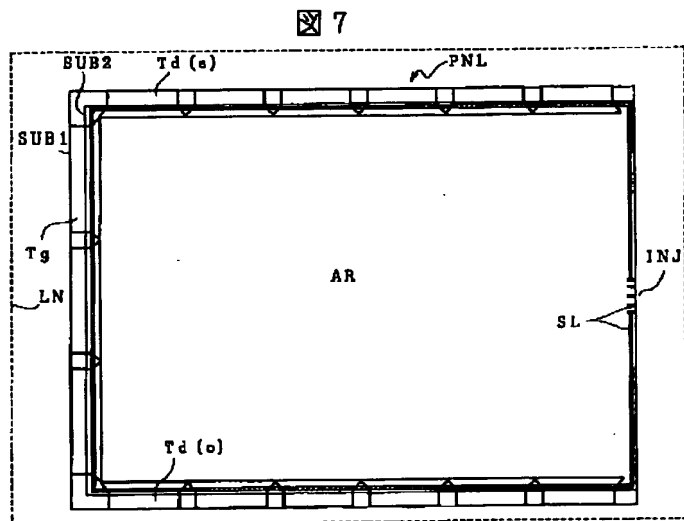
【図2】



【図4】

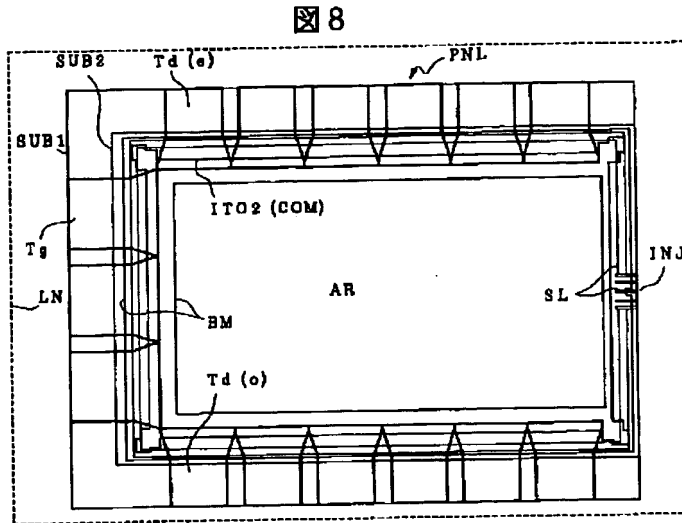


【図7】

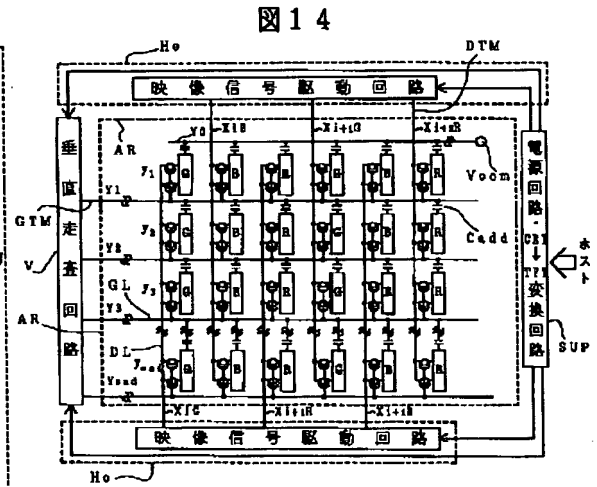


(14)

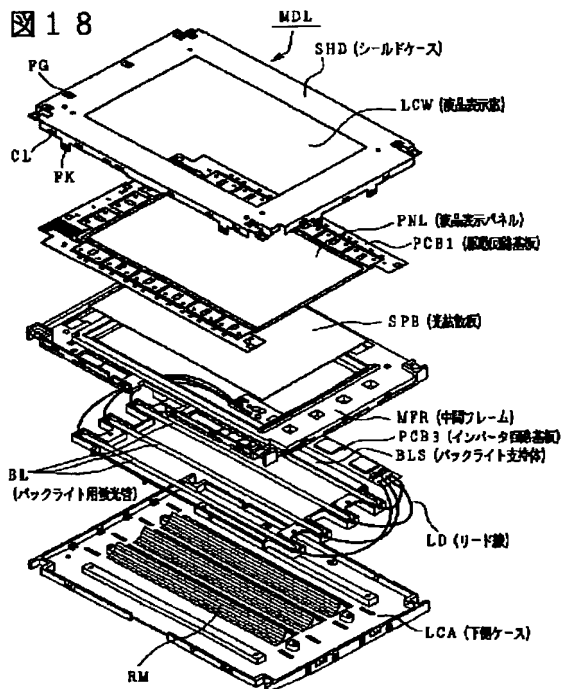
【図 8】



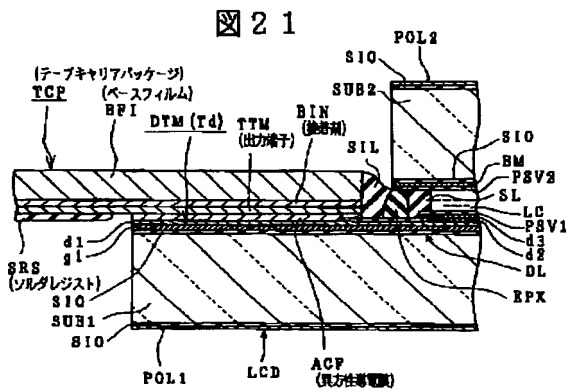
【図 14】



【図 18】



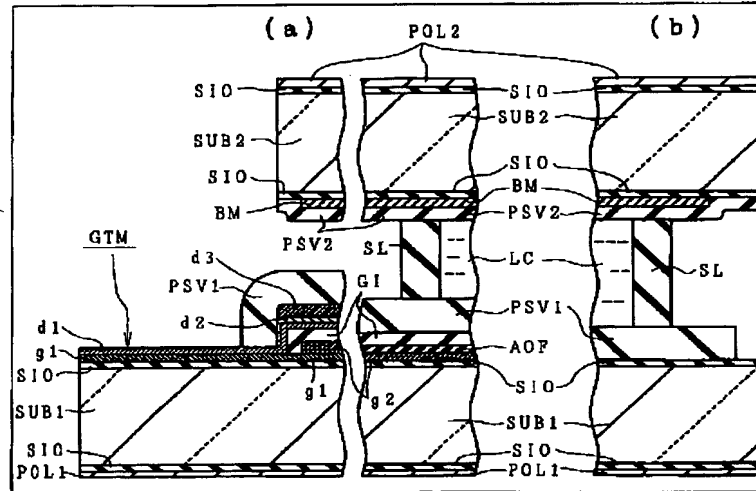
【図 2 1】



(16)

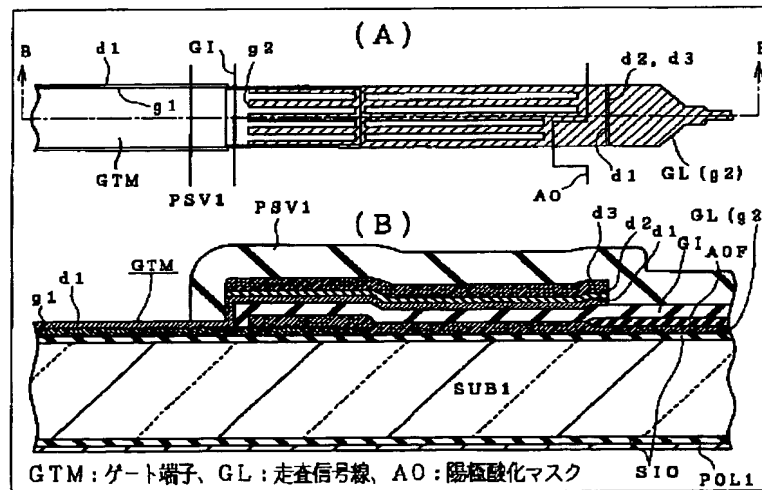
【図11】

図11



【図12】

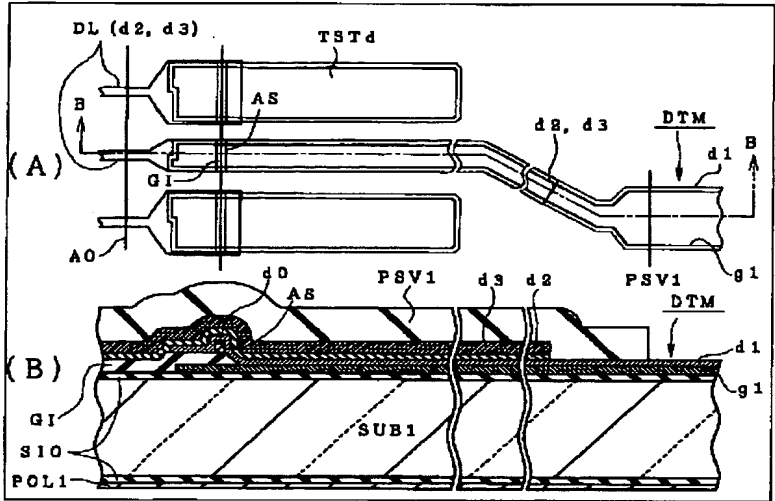
図12



(17)

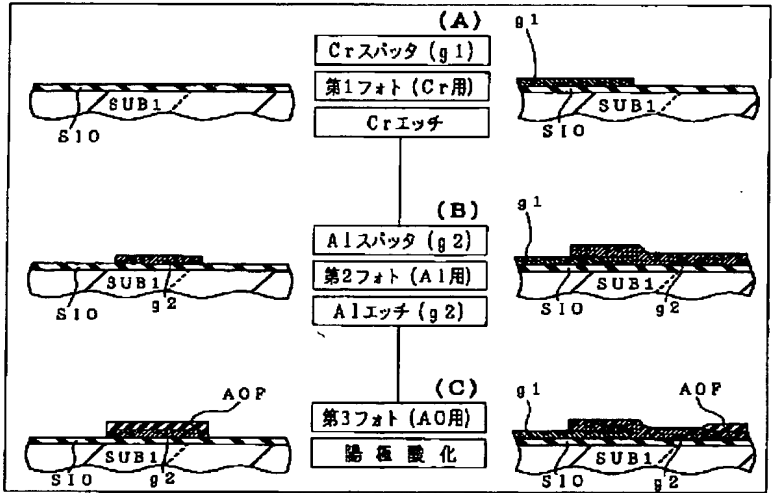
【図13】

図13



【図15】

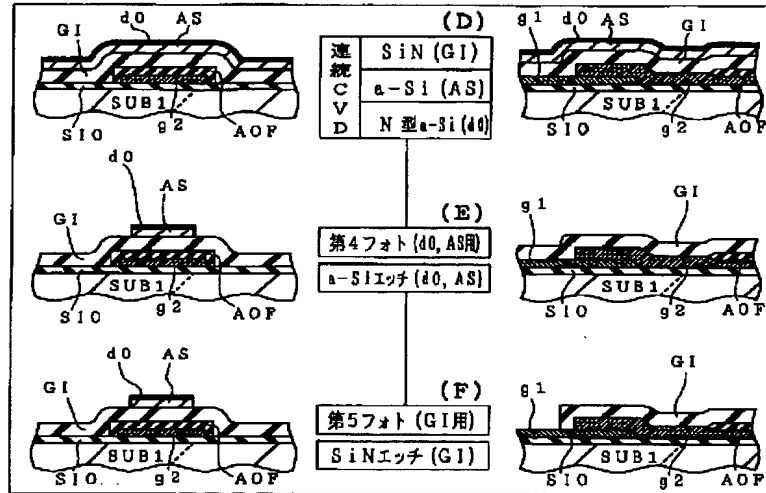
図15



(18)

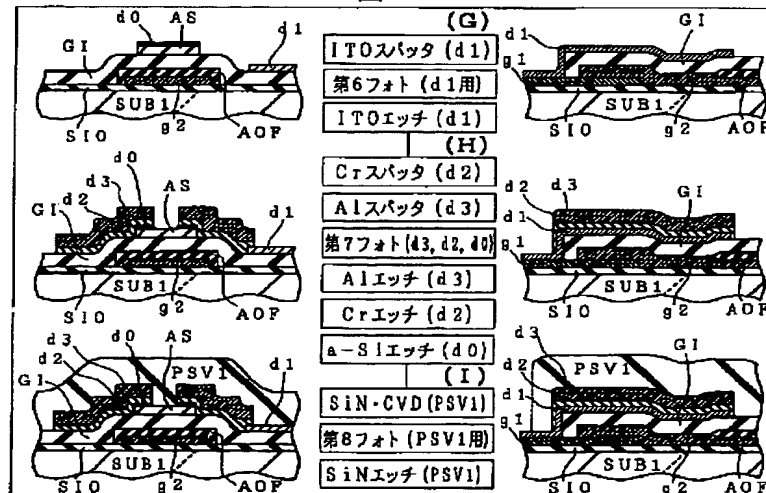
【図16】

図16



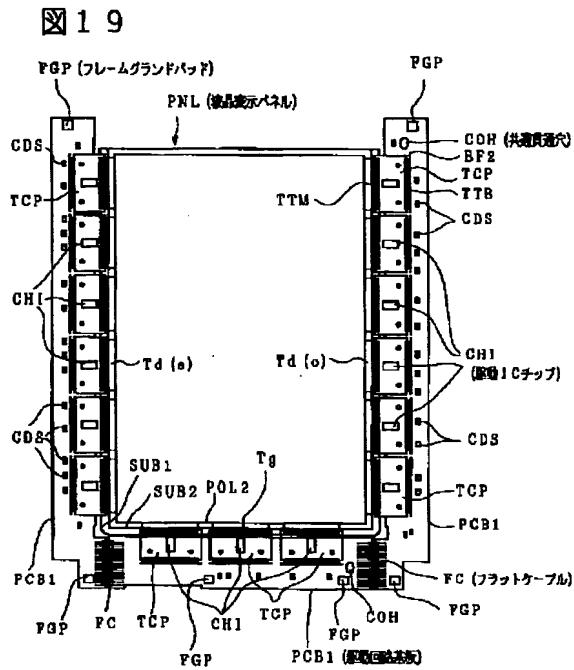
【図17】

図17

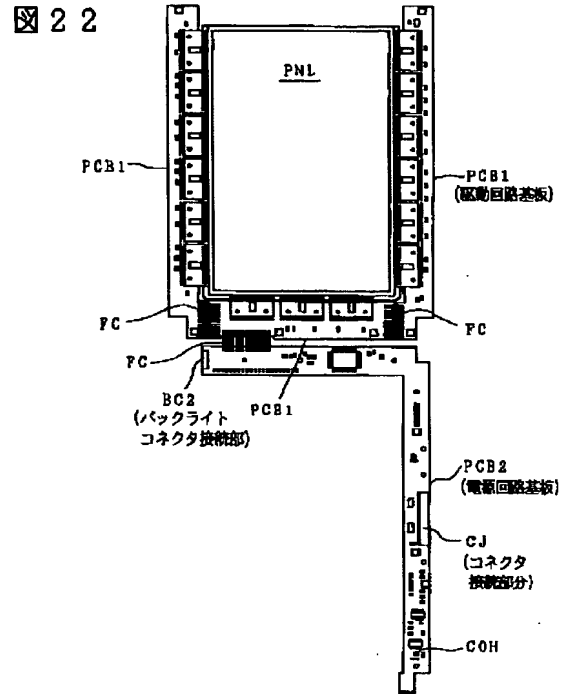


(19)

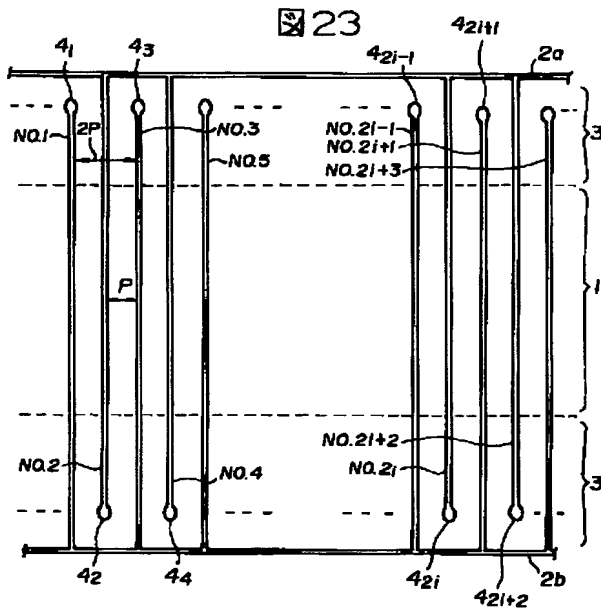
【図19】



【図22】



【図23】



(20)

フロントページの続き

(72)発明者 広畑 茂樹
千葉県茂原市早野3300番地 株式会社
日立製作所電子デバイス事業部内

(72)発明者 松永 邦之
千葉県茂原市早野3300番地 株式会社
日立製作所電子デバイス事業部内

(72)発明者 石毛 信幸
千葉県茂原市早野3681番地 日立デバ
イスエンジニアリング株式会社内

(56)参考文献 特開 平2-251931(JP, A)
特開 平5-265022(JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
G02F 1/1345
G01R 31/00
H01L 29/786
G09F 9/30